

<b>Temat</b>	<b>Analogowy filtr z regulowaną dobrocią do zastosowań w implantach słuchowych</b>
<b>Temat w języku angielskim</b>	<b>Analogue filter with adjustable quality factor for applications in hearing implants</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Waldemar Jendernalik</b>
<b>Konsultant pracy</b>	<b>Maciej Luty, Synopsys Polska</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest opracowanie filtra scalonego CMOS do zastosowań w implantach biomedycznych modelujących ślimak słuchowy. Układ ma być opracowany w technologii CMOS o rozmiarze charakterystycznym 45 nm lub 90 nm. Zakres regulacji współczynnika dobroci filtra powinien wynosić co najmniej 2-10. Konstrukcja filtra powinna umożliwić przeskalowanie (przeprojektowanie) częstotliwości odcięcia w zakresie co najmniej od 500 Hz do 8 kHz.
<b>Zadania</b>	Przegląd literatury pod kątem rozwiązań filtrów w sztucznych ślimakach usznych. Projekt wybranego rozwiązania filtra: opracowanie schematu elektrycznego i symulacje, opracowanie topografii i ponowne symulacje weryfikujące. Wnioski.
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. P.E. Allen, D.R. Holberg, „CMOS Analog Circuits Design,” Oxford University Press, USA, 2002.</li> <li>2. Publikacje z bazy IEEE, na przykład: W. Jendernalik, J. Jakusz, G. Blakiewicz "Low-Voltage Low-Power Filters with Independent <math>\omega_0</math> and Q Tuning for Electronic Cochlea Applications", <i>Electronics</i>, 2022; T. Ma, C Shen, Y. Wei "Adjustable Filter Bank Design for Hearing Aids System", <i>ISCAS 2019, Sapporo, Japan</i>; J. Karrenbauer, et al. "SmartHeaP - A High-level Programmable, Low Power, and Mixed-Signal Hearing Aid SoC in 22nm FD-SOI", <i>ESSCIRC 2022, Milan, Italy</i>.</li> <li>3. Dokumentacja technologii CMOS dostępna w Katedrze Systemów Mikroelektronicznych.</li> <li>4. B. Pankiewicz, W. Jendernalik. <i>Projektowanie full-custom układów scalonych CMOS w środowisku Cadence Virtuoso. Skrypt Politechniki Gdańskiej</i>, 2016.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Dokładny konwerter napięcia na prąd o szerokim zakresie</b>
<b>Temat w języku angielskim</b>	<b>The accurate, wide range voltage to current converter</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Waldemar Jendernalik</b>
<b>Konsultant pracy</b>	<b>Maciej Luty, Synopsys Polska</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Zaprojektowanie praktycznego układu konwertera napięcia na prąd (V/I) o szerokim zakresie napięć wejściowych i prądów wyjściowych oraz dużej dokładności. Układ ten ma być przeznaczony do woltomierza, który znajduje się wewnątrz układu scalonego i testuje napięcia zasilające w różnych punktach układu scalonego (takie wewnętrzne chipowe woltomierze są stosowane w układach wielkiej skali integracji np. w procesorach wielordzeniowych).</p> <p>Konwerter ma być opracowany w technologii CMOS 45 lub 90 nm w oprogramowaniu Cadence. Typowe wymagania dla konwertera V/I: zasilanie 1/1.2 V lub wyższe, zakres wejściowy możliwie bliski rail-to-rail, prąd wyjściowy rzędu mikro amperów.</p>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z konwerterami V/I; przegląd literatury.</li> <li>2. Wybór optymalnego układu spełniającego wymagania.</li> <li>3. Zaprojektowanie i symulacja układu.</li> <li>4. Wnioski.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. "Design of analog CMOS Integrated Circuits, Second Edition" Behzad Razavi, McGraw Hill Education 2017</li> <li>2. B. Fotouhi, "All-MOS voltage-to-current converter," IEEE J. Solid-State Circuits, 2001, doi: 10.1109/4.896241.</li> <li>3. S. Ouzounov, et al., "A CMOS V-I converter with 75-dB SFDR and 360-<math>\mu</math>W power consumption," IEEE J. Solid-State Circuits, 2005, doi: 10.1109/JSSC.2005.847496.</li> <li>4. M. Wan, et al., "A Nonlinearity-Compensated All-MOS Voltage-to-Current Converter," IEEE Trans. Circuits and Systems II, 2016, doi: 10.1109/TCSII.2015.2468912.</li> <li>5. C. Azcona, et al., "Low-Voltage Low-Power CMOS Rail-to-Rail Voltage-to-Current Converters," IEEE Trans. Circuits and Systems I, 2013, doi: 10.1109/TCSI.2013.2244432.</li> <li>6. R. Shukla, et al., "A low voltage rail to rail V-I conversion scheme for applications in current mode A/D converters," 2004 IEEE International Symposium on Circuits and Systems (ISCAS), 2004, doi: 10.1109/ISCAS.2004.1328345.</li> <li>7. M. -Y. Kim, et al., "10-bit 100-MS/s Pipelined ADC Using Input-Swapped Opamp Sharing and Self-Calibrated V/I Converter," IEEE Trans. Very Large Scale Integration (VLSI) Systems, 2011, doi: 10.1109/TVLSI.2010.2050915.</li> <li>8. A. Asprilla, et al., "Highly Linear Large Signal Compact Voltage-to-Current Converter in 28 nm FD-SOI Technology," 2022 IEEE 13th Latin America Symposium on Circuits and System (LASCAS), doi: 10.1109/LASCAS53948.2022.9789060.</li> <li>9. Dokumentacja technologii CMOS i oprogramowania Cadence dostępna w Katedrze Systemów Mikroelektronicznych.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	Praca realizowana we współpracy z firmą Synopsys Poland.
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Efekty użycia tranzystorów MOS zamiast tranzystorów bipolarnych w scalonych czujnikach temperatury</b>
<b>Temat w języku angielskim</b>	<b>Effects of using of MOS transistors in places of bipolar transistors in integrated temperature sensors</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Piotr Płotka</b>
<b>Konsultant pracy</b>	<b>mgr inż. Maciej Luty - SYNOPSISYS</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Zbadanie możliwości zastąpienia tranzystorów bipolarnych przez tranzystory MOS jako elementy reagujące na temperaturę w układzie scalonym o znanej strukturze, przeznaczonym do wykonania we współczesnej technologii CMOS. Porównanie czułości temperaturowej oraz wrażliwości na zmiany napięcia zasilania, a także poboru mocy układu czujnika temperatury opartego o tranzystory bipolarne z analogicznym układem, w którym zastąpiono je tranzystorami MOS.</p> <p>Examination of replacement possibility of bipolar transistors with MOS transistors, as temperature sensing elements in the integrated circuit of a known architecture, intended for fabrication with a contemporary CMOS technology. Comparison of temperature sensitivity, as well as sensitivity for supply voltage variations and power consumption of the sensors with MOS transistors and with bipolar transistors.</p>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z układem niskonapięciowego czujnika temperatury pracującego w trybie prądowym.</li> <li>2. Wybór optymalnych tranzystorów MOS mających zastąpić bipolarne.</li> <li>3. Symulacje obu układów.</li> <li>4. Porównanie wyników i wnioski.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition"</i> Behzad Razavi, MCGraw Hill Education 2017.</li> <li>2. <i>"Precision Temperature Sensors in CMOS Technology"</i> Michiel A.P. Pertijs, Johan H. Huijsing, Springer 2006.</li> <li>3. S. Xie, <i>The Design Considerations and Challenges in MOS-Based Temperature Sensors: A Review</i>, <i>Electronics</i>, v.11, No.7, 1019, 2022, DOI:10.3390/electronics11071019.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Implementacja generatora liczb prawdziwie losowych w układzie FPGA
Temat w języku angielskim	Implementation of a true random number generator in an FPGA
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Recenzent	
Cel pracy	Projekt i realizacja w układzie FPGA sprzętowego generatora liczb prawdziwie losowych (TRNG).
Zadania	<ol style="list-style-type: none"> <li>1. Przegląd literatury.</li> <li>2. Wybór metody implementacji TRNG.</li> <li>3. Opracowanie w języku Verilog lub VHDL projektu TRNG.</li> <li>4. Opracowanie oprogramowania do testowania i oceny jakości oraz wydajności generatora.</li> <li>5. Wnioski z testów oraz pomiarów i podsumowanie.</li> </ol>
Literatura	<ol style="list-style-type: none"> <li>1. Dokumentacja układu FPGA: <a href="http://www.xilinx.com">www.xilinx.com</a>.</li> <li>2. Klein, Cristian et al. "Design and Implementation of a High Quality and High Throughput TRNG in FPGA." ArXiv abs/0906.4762 (2009).</li> <li>3. Nannipieri, P.; Di Matteo, S.; Baldanzi, L.; Crocetti, L.; Belli, J.; Fanucci, L.; Saponara, S. True Random Number Generator Based on Fibonacci-Galois Ring Oscillators for FPGA. Appl. Sci. 2021, 11, 3330. <a href="https://doi.org/10.3390/app11083330">https://doi.org/10.3390/app11083330</a>.</li> <li>4. A. Zacharias, C. G. Gisha and B. A. Jose, "Chaotic Ring Oscillator Based True Random Number Generator Implementations in FPGA," 2020 24th International Symposium on VLSI Design and Test (VDATE), Bhubaneswar, India, 2020, pp. 1-6, doi: 10.1109/VDATE50263.2020.9190505.</li> </ol>
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Konduktometr elektrochemiczny</b>
<b>Temat w języku angielskim</b>	<b>Electrical conductivity meter</b>
<b>Opiekun pracy</b>	<b>dr inż. Maciej Kokot</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	<ol style="list-style-type: none"> <li>1. Zaprojektowanie i wykonanie konduktometru przeznaczonego do pomiarów konduktancji w środowiskach wodnych.</li> <li>2. Konduktometr ma współpracować z elektrodą dwuzaciskową oraz ewentualnie z czterozaciskową.</li> <li>3. Dodatkowy pomiar i wyświetlanie temperatury roztworu za pomocą termopary lub czujnika Pt100.</li> <li>4. Pomiary wykonywane za pomocą prądu zmiennego o stałej, wybieranej częstotliwości.</li> <li>5. Możliwość kalibracji elektrody oraz wpisywania stałej elektrody.</li> <li>6. Wyświetlanie wartości zmierzonej w mS/cm i ewentualnie w przeliczeniu na stężenie NaCl.</li> </ol>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Przegląd metod pomiaru konduktancji roztworów.</li> <li>2. Zaprojektowanie części analogowej zasilającej elektrodę pomiarową.</li> <li>3. Zaprojektowanie części cyfrowej z przetwornikami A/D oraz D/A, mikrokontrolerem i wyświetlaczem.</li> <li>4. Wykonanie i przetestowanie układu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>Zbigniew Moroń, Pomiary przewodności elektrycznej cieczy przy małych częstotliwościach. Oficyna wydawnicza Politechniki Wrocławskiej, Wrocław 2003.</i> <a href="https://www.dbc.wroc.pl/dlibra/publication/1328/edition/1561/content?&amp;meta-lang=pl">https://www.dbc.wroc.pl/dlibra/publication/1328/edition/1561/content?&amp;meta-lang=pl</a>.</li> <li>2. <i>Karty katalogowe mikrokontrolerów i przetworników A/D D/A - Microchip, Analog Devices.</i></li> <li>3. <i>Inna - do znalezienia przez dyplomanta.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Opracowanie procedury ekstrakcji cech odpowiedzi dla różnych typów charakterystyk częstotliwościowych struktur wysokich częstotliwości</b>
<b>Temat w języku angielskim</b>	<b>Numerical procedure for extraction of response features for various types of frequency characteristics of high-frequency structures</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Anna Pietrenko-Dąbrowska</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Cechy odpowiedzi (ang. response features) to odpowiednio zdefiniowane punkty charakterystyczne odpowiedzi układu. W przypadku wielu układów wysokich częstotliwości zależność tych punktów od zmiennych projektowych jest słabonieliniowa. Ma to szereg istotnych zalet przy rozwiązywaniu problemów optymalizacyjnych, m.in., przyspieszenie zbieżności algorytmów gradientowych czy realizację optymalizacji globalnej przy użyciu metod formalnie lokalnych. Jednakże definicja i ekstrakcja cech odpowiedzi jest wysoce specyficzna dla danego rodzaju struktury. Celem pracy jest opracowanie procedury numerycznej do efektywnej i niezawodnej ekstrakcji cech odpowiedzi różnych typów charakterystyk częstotliwościowych struktur antenowych i mikrofalowych.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Opracowanie biblioteki rozważanych struktur wysokich częstotliwości (np. anteny szeroko- i wielo-pasmowe, transformatory, sprzęgacze).</li> <li>2. Określenie zuniifikowanej struktury danych przekazywanych do i z opracowanej procedury.</li> <li>3. Opracowanie algorytmu do ekstrakcji cech odpowiedzi wybranych układów.</li> <li>4. Testy numeryczne.</li> <li>5. Opracowanie raportu z przeglądem uzyskanych wyników.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. A. Pietrenko-Dabrowska, S. Koziel, <i>Response Feature Technology for High-Frequency Electronics. Optimization, Modeling, and Design Automation</i>, Springer, 2024.</li> <li>2. C. A. Balanis, <i>Antenna Theory, Analysis and Design</i>, J. Wiley, 2016.</li> <li>3. <a href="https://www.mathworks.com">https://www.mathworks.com</a>.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>pH-metr Jonometr elektrochemiczny</b>
<b>Temat w języku angielskim</b>	<b>pH-meter Ion-meter</b>
<b>Opiekun pracy</b>	<b>dr inż. Maciej Kokot</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	<ol style="list-style-type: none"> <li>1. Zaprojektowanie i wykonanie pH-metru jonometru przeznaczonego do pomiarów pH oraz stężeń jonów w środowiskach wodnych.</li> <li>2. Miernik ma współpracować z zespoloną szklaną elektrodą pH-metryczną oraz z oddzielnymi elektrodami - jonoczułą i odniesienia.</li> <li>3. Należy zapewnić możliwość dwupunktowej kalibracji elektrody szklanej.</li> <li>4. Wartość zmierzona ma być wyświetlana w postaci pH oraz mV.</li> </ol>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Przegląd rozwiązań pomiarów jonometrycznych</li> <li>2. Zaprojektowanie części analogowej współpracującej z elektrodami elektrochemicznymi.</li> <li>3. Zaprojektowanie części cyfrowej z przetwornikami A/D oraz D/A, mikrokontrolerem i wyświetlaczem.</li> <li>4. Wykonanie i przetestowanie układu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>pH meter principles by Dr J Floor Anthoni (2005) <a href="http://www.seafriends.org.nz/dda/ph.htm">www.seafriends.org.nz/dda/ph.htm</a>.</i></li> <li>2. <i>Vanýsek, Petr (2004). "The Glass pH Electrode" (PDF). Interface. No. Summer. The Electrochemical Society. pp. 19–20 <a href="https://www.electrochem.org/dl/interface/sum/sum04/IF6-04-Pages19-20.pdf">https://www.electrochem.org/dl/interface/sum/sum04/IF6-04-Pages19-20.pdf</a>.</i></li> <li>3. <i>Karty katalogowe mikrokontrolerów i przetworników A/D D/A - Microchip, Analog Devices.</i></li> <li>4. <i>Inna - do znalezienia przez dyplomanta.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Program do tworzenia schematów układów scalonych w formie gry edukacyjnej</b>
<b>Temat w języku angielskim</b>	<b>Program for creating IC diagrams in the form of an educational game</b>
<b>Opiekun pracy</b>	<b>dr inż. Łukasz Gołuński</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest stworzenie gry edukacyjnej w silniku Unity, polegającej na tworzeniu schematów układów scalonych na podstawie schematów obwodów elektronicznych.
<b>Zadania</b>	<ol style="list-style-type: none"><li>1. Zapoznanie się z istniejącymi rozwiązaniami do projektowania schematów układów scalonych.</li><li>2. Opracowanie algorytmu sprawdzającego poprawność połączeń oraz wykonanie elementów.</li><li>3. Przygotowanie intuicyjnego interfejsu graficznego oraz sterowania.</li><li>4. Dobór układów do wykonania w grze.</li></ol>
<b>Literatura</b>	<ol style="list-style-type: none"><li>1. Dokumentacja programu Magic: <a href="http://opencircuitdesign.com/magic/">http://opencircuitdesign.com/magic/</a>.</li><li>2. Dokumentacja silnika Unity: <a href="https://docs.unity.com/">https://docs.unity.com/</a>.</li><li>3. Jacek Ross, Unity i C# - Praktyka programowania gier, Helion 2020.</li></ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie



<b>Temat</b>	<b>Projekt dwupolaryzacyjnego podszyku antenowego o rozmiarze 2x2 dla potrzeb komunikacji satelitarnej pasm Ku i Ka realizowanej w technologii elektronicznych systemów szyków fazowanych</b>
<b>Temat w języku angielskim</b>	<b>Design of dual-polarized 2x2 sub-array for the purpose of Ku &amp; Ka band satellite communication and electronic systems of phased arrays</b>
<b>Opiekun pracy</b>	<b>dr inż. Piotr Kurgan</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest projekt w symulatorze elektromagnetycznym dwupolaryzacyjnego podszyku antenowego o rozmiarze 2x2 dla zastosowań komunikacji satelitarnej pasm Ku i Ka, realizowanej w konwencji szyków fazowanych z elektronicznie sterowaną wiązką.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Przegląd literatury i analiza porównawcza.</li> <li>2. Opracowanie wymagań systemowych.</li> <li>3. Wybór wstępnego rozwiązania.</li> <li>4. Modelowanie elektromagnetyczne.</li> <li>5. Optymalizacja.</li> <li>6. Dyskusja wyników numerycznych.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>IEEE Xplore.</i></li> <li>2. <i>Yusheng Yin, Advanced Phased-Arrays and Techniques for 5G Multi-Standard Applications and Carrier Aggregation at 24-29 GHz and 37-40 GHz, PhD Dissertation, 2020.</i></li> <li>3. <i>Ahmed Nafe, Millimeter-Wave Single- and Dual-Polarized 2x2 MIMO Phased Arrays and In-Situ Over-the-Air System-Level Self-Calibration Techniques for 5G Applications, PhD Dissertation, 2020.</i></li> <li>4. <i>Rudraishwarya Banerjee, Design of Novel Phased Array Antennas with Integrated Beamforming Network and Dual Band Shared Aperture Feed Source for Reflector Antenna for Satellite Communication Applications, PhD Dissertation, 2023.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt i implementacja układu monitorującego poziom spieniania cieczy z dodatkiem CO2 oraz sprzężonego z nim urządzenia pozycjonującego naczynie
Temat w języku angielskim	CO2 foaming level control system when pouring between vessels
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	Zbudowanie i wdrożenie układu obejmującego czujnik poziomu spieniania cieczy z dodatkiem CO2, a także związane z nim urządzenie pozycjonujące naczynie. Opracowany układ ma umożliwić skuteczną kontrolę nad procesem przelewania cieczy, minimalizując przy tym efekty spieniania oraz zapewniając precyzyjne pozycjonowanie naczynia.
Zadania	<ol style="list-style-type: none"> <li>1. <b>Projekt Układu:</b> <ul style="list-style-type: none"> <li>• Określenie wymagań funkcjonalnych i parametrów układu.</li> <li>• Zaprojektowanie schematu układu obejmującego czujnik poziomu spieniania i urządzenie pozycjonujące.</li> </ul> </li> <li>2. <b>Dobór Komponentów:</b> <ul style="list-style-type: none"> <li>• Wybór odpowiednich czujników do monitorowania poziomu spieniania.</li> <li>• Dobór i zakup komponentów niezbędnych do zbudowania urządzenia pozycjonującego.</li> </ul> </li> <li>3. <b>Implementacja Elektroniczna:</b> <ul style="list-style-type: none"> <li>• Montaż układu elektronicznego, uwzględniającego czujniki i moduły sterujące.</li> <li>• Programowanie mikrokontrolera odpowiedzialnego za kontrolę układu.</li> </ul> </li> <li>4. <b>Budowa Urządzenia Pozycjonującego:</b> <ul style="list-style-type: none"> <li>• Skonstruowanie urządzenia pozycjonującego naczynie, z uwzględnieniem precyzyjnego sterowania pozycją.</li> </ul> </li> <li>5. <b>Integracja Komponentów:</b> <ul style="list-style-type: none"> <li>• Połączenie czujnika poziomu spieniania z urządzeniem pozycjonującym.</li> <li>• Testy integracyjne układu.</li> </ul> </li> <li>6. <b>Testy Funkcjonalne:</b> <ul style="list-style-type: none"> <li>• Przeprowadzenie testów funkcjonalnych układu w warunkach laboratoryjnych.</li> <li>• Optymalizacja parametrów dla uzyskania najlepszych wyników.</li> </ul> </li> </ol>
Literatura	<ol style="list-style-type: none"> <li>1. <i>Roadmap on optical sensors</i> Mário F. S. Ferreira, Enrique Castro Camus, David J. Ottaway; <i>Journal of Optics</i>; 24 July 2017.</li> <li>2. <i>Projektowanie systemów wbudowanych w układach FPGA</i>; Valery Salauyou, Adam Klimowicz Politechnika Białostocka.</li> </ol>
Proponowana liczba osób	2
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Projekt szerokopasmowego wzmacniacza operacyjnego w technologii CMOS 45 nm</b>
<b>Temat w języku angielskim</b>	<b>Design of wideband operational amplifier in 45 nm CMOS technology</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Jacek Jakusz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest zaprojektowanie szerokopasmowego wzmacniacza operacyjnego w technologii 45 nm CMOS z wykorzystaniem oprogramowania Cadence. Zaprojektowany wzmacniacz ma spełniać następujące parametry: pole wzmocnienia (GB) $\geq 100$ MHz, szybkość narastania napięcia wyjściowego $\geq 10$ $\mu$ V/s, pojemność obciążenia 20 pF.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z typowymi architekturami szerokopasmowych wzmacniaczy operacyjnych.</li> <li>2. Opracowanie schematu elektrycznego kompletnego wzmacniacza szerokopasmowego w technologii CMOS 45 nm.</li> <li>3. Opracowanie topografii wzmacniacza dla technologii CMOS 45 nm.</li> <li>4. Przeprowadzenie symulacji weryfikujących parametry zaprojektowanego wzmacniacza.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>P. E. Allen, D.R. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002.</i></li> <li>2. <i>D. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley &amp; Sons, Inc., 2012.</i></li> <li>3. <i>B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Education, 2017.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Projekt wzmacniacza transkonduktancyjnego oraz filtra dolnoprzepustowego przewidzianych do pracy w zakresie częstotliwości do 20 kHz w technologii GPDK045 Cadence</b>
<b>Temat w języku angielskim</b>	<b>Design of a transconductance amplifier and a low-pass filter intended for operation in the frequency range up to 20 kHz in the GPDK045 Cadence technology</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Bogdan Pankiewicz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest wykonanie przeglądu literaturowego oraz na jego podstawie zaprojektowanie wzmacniacza oraz filtra dolnoprzepustowego gm-C w technologii GPDK045 z użyciem środowiska projektowego Cadence.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Przegląd literaturowy dotyczący wzmacniaczy transkonduktancyjnych przeznaczonych do pracy z niskimi częstotliwościami.</li> <li>2. Zaproponowanie schematu wzmacniacza transkonduktancyjnego.</li> <li>3. Wykonanie symulacji elektrycznych i projektu topografii wzmacniacza.</li> <li>4. Wykonanie symulacji elektrycznych i projektu topografii filtra.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. P. E. Allen, D. R. Holberg, "CMOS Analog Circuit Design", Oxford University Press 2012.</li> <li>2. R. L. Geiger, P. E. Allen, N. R. Strader, „VLSI design techniques for analog and digital circuits", McGraw-Hill 1990.</li> <li>3. Dokumentacja technologii CMOS Cadence GPDK045 – dostępna w katedrze.</li> <li>4. Dokumentacja pakietu oprogramowania CADENCE – dostępna w katedrze.</li> <li>5. P. M. Furth, H. E. Ommami, "Low-voltage highly-linear transistor design in subthreshold CMOS, In. Proc. 40th Midwest Symposium on Circuits and Systems, 1997.</li> <li>6. M. Pelgrom, A. Duinmaijer, A. Welbres, "Matching properties of MOS transistors", IEEE Journal of Solid-State Circuits, vol. 24, no. 5, October 1989.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Przestrajany oscylator pierścieniowy w technologii CMOS</b>
<b>Temat w języku angielskim</b>	<b>Tunable CMOS ring oscillator</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Grzegorz Blakiewicz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Należy opracować oscylator pierścieniowy przestrajany napięciem w technologii CMOS 90 nm. Oscylator powinien charakteryzować się parametrami: 1) napięcie zasilania 1.2 V; 2) częstotliwość spoczynkowa z zakresu 50 – 500 MHz, 3) zakres przestrajania częstotliwości nie mniejszy niż 10% częstotliwości spoczynkowej.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z budową i zasadą działania oscylatorów pierścieniowych w technologii CMOS.</li> <li>2. Opracowanie schematu oscylatora.</li> <li>3. Wykonanie serii symulacji weryfikujących działanie oscylatora.</li> <li>4. Opracowanie topografii masek oscylatora w technologii CMOS.</li> <li>5. Wykonanie końcowych testów funkcjonalnych potwierdzających osiągnięcie założonych parametrów.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, Oxford University Press, 2002.</i></li> <li>2. <i>B. Razavi, „Design of Analog CMOS Integrated Circuits”, Mc Graw Hill, 2001.</i></li> <li>3. <i>T.C. Carousone, D.A. Johns, K.W. Martin, „Analog Integrated Circuit Design”, Wiley, 2012.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Przyspieszona optymalizacja gradientowa struktur antenowych z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości</b>
<b>Temat w języku angielskim</b>	<b>Accelerated gradient-based optimization of antenna structures with variable-fidelity models and sparse sensitivity updates</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Anna Pietrenko-Dąbrowska</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	W projektowaniu współczesnych systemów antenowych wykorzystywane są pełnofalowe symulacje elektromagnetyczne: dokładne, ale kosztowne obliczeniowo. Koszt wielokrotnych analiz wymaganych przez procedury optymalizacji parametrów jest często praktycznie nieakceptowalny. Celem pracy jest przyspieszenie optymalizacji poprzez wykorzystanie modeli symulacyjnych o różnych stopniach dokładności oraz ograniczenie częstotliwości aktualizacji czułości przez selektywną aktualizację formułą Broydena.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z algorytmem do lokalnej optymalizacji gradientowej.</li> <li>2. Opracowanie procedury optymalizacji z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości.</li> <li>3. Testy numeryczne.</li> <li>4. Opracowanie raportu z przeglądem uzyskanych wyników.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. A. Pietrenko-Dąbrowska, S. Koziel, "Expedited gradient-based design closure of antennas using variable-resolution simulations and sparse sensitivity updates," <i>IEEE Trans. Antennas Propag.</i>, vol. 70, no. 6, pp. 4925-4930, 2022.</li> <li>2. A. R. Conn, N. I. M. Gould, P. L. Toint, <i>Trust region methods</i>, SIAM, 2000.</li> <li>3. <a href="https://www.mathworks.com">https://www.mathworks.com</a>.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Samopolaryzująca pętla synchronizacji fazy z programowalnym bezrezystancyjnym filtrem pętli zasilana z regulatora napięcia LDO</b>
<b>Temat w języku angielskim</b>	<b>Self-biased PLL with programmable resistorless loop filter supplied from LDO regulator</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Jacek Jakusz</b>
<b>Konsultant pracy</b>	<b>mgr inż. Cezary Józefowicz, Synopsys Poland Sp. z.o. o.</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest opracowanie pętli synchronizacji fazy (PLL) scalonej technologii CMOS o poprawionych właściwościach w stosunku do standardowych rozwiązań. Usprawnienia dotyczą poprawy kontroli pasma przenoszenia oraz zwiększenia poziomu niewrażliwości układu na rozrzuty technologiczne, zmiany napięcia zasilającego oraz zmiany temperatury. Rozwinięcie projektu układu powinno uwzględniać zastosowanie techniki <i>self-bias</i> do śledzenia prądu oscylatora, zastosowanie bezrezystancyjnego filtra pętli składającego się z dwóch pomp ładunkowych ( <i>dual-path loop filter</i> ) oraz zastosowanie regulatora napięcia LDO.
<b>Zadania</b>	<p>Projekt zmian w architekturze pętli:</p> <ol style="list-style-type: none"> <li>Opracowanie schematu elektrycznego uwzględniającego zmiany architektoniczne pętli PLL (śledzenie prądu oscylatora oraz zastosowanie bezrezystancyjnego filtra pętli składającego się z dwóch pomp ładunkowych).</li> <li>Przygotowanie symulacji weryfikujących funkcjonalność układu oraz dokonanie pomiaru pasma przenoszenia pętli w różnych warunkach pracy.</li> <li>Przygotowanie topografii układu.</li> <li>Powtórzenie symulacji z uwzględnieniem ekstrakcji układu.</li> </ol> <p>Projekt regulatora napięcia LDO:</p> <ol style="list-style-type: none"> <li>Opracowanie schematu elektrycznego regulatora napięcia LDO.</li> <li>Przygotowanie symulacji weryfikujących punkt pracy, stabilność układu oraz wykonujących pomiar charakterystyki przenoszenia od wejścia do wyjścia oraz charakterystyki przenoszenia od zasilania do wyjścia.</li> <li>Przygotowanie topografii układu.</li> <li>Powtórzenie symulacji z uwzględnieniem ekstrakcji układu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li><i>B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, New York, 2001.</i></li> <li><i>J.F. Parker, D. Weinlader, J.L. Sonntag "A 15mW 3.125GHz PLL for serial backplane transceivers in 0.13 μm CMOS", IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005.</i></li> <li><i>A.L.S. Loke, R.K. Barnes, T.T. Wee "A Versatile 90-nm CMOS Charge-Pump PLL for SerDes Transmitter Clocking", IEEE Journal of Solid-State Circuits (Volume: 41, Issue: 8, August 2006).</i></li> <li><i>G. de Streef, J. De Vos, D. Flandre "A 65nm 1V to 0.5V linear regulator with ultra low quiescent current for mixed-signal ULV SoCs", IEEE Faible Tension Faible Consommation, 2014.</i></li> </ol>
<b>Proponowana liczba osób</b>	2
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Sprzętowa akceleracja detekcji tła w strumieniu wideo</b>
<b>Temat w języku angielskim</b>	<b>Hardware acceleration of background detection in the video stream</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Marek Wójcikowski</b>
<b>Konsultant pracy</b>	<b>Maciej Barzowski (firma Adtran)</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest projekt, realizacja oraz badanie wydajności wybranych algorytmów służących do detekcji tła w obrazie wideo. W ramach pracy należy zaprojektować i zrealizować system mikroelektroniczny wykorzystujący procesory oraz akceleratory zbudowane na FPGA przetwarzający obraz z kamery i wyświetlający wyniki na monitorze. Dyplomant powinien wybrać i opracować implementację sprzętową lub sprzętowo-programową realizującą detekcję tła i zintegrować je w postaci całego toru kamera-monitor przetwarzającego na żywo strumień wideo.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Dokonać przeglądu literatury naukowej.</li> <li>2. Przeanalizować wybrane algorytmy detekcji tła pod kątem możliwości realizacji sprzętowej.</li> <li>3. Wykonać modelowanie wybranych algorytmów z wykorzystaniem symulacji komputerowej (np. OpenCv, Matlab, itp.).</li> <li>4. Zrealizować tor wideo - wejście z kamery oraz wyjście na monitor (projektując rozwiązanie własne lub korzystając z gotowych rozwiązań).</li> <li>5. Dodać do opracowanego toru wideo algorytmy przetwarzające, wykorzystujące procesory oraz koprocessory FPGA.</li> <li>6. Wykonać pełną analizę zrealizowanego systemu wraz z dokładnością detekcji tła, dokonać niezbędnych modyfikacji i zaproponować optymalizacje poprawiające możliwości algorytmu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. Dokumentacja systemu Vivado <a href="http://www.xilinx.com">www.xilinx.com</a>.</li> <li>2. Dokumentacja platformy Zybo <a href="http://www.digilent.com">www.digilent.com</a>.</li> <li>3. J. Ganssle, <i>The Art of Designing Embedded Systems</i>, Elsevier 2008.</li> <li>4. Lipton, A.J.; Haering, N.; "ComMode: an algorithm for video background modeling and object segmentation", <i>Control, Automation, Robotics and Vision, 2002. ICARCV 2002. 7th International Conference on</i>, vol.3, no., pp. 1603- 1608 vol.3, 2-5 Dec. 2002.</li> <li>5. Christopher M. Bishop, <i>Pattern Recognition and Machine Learning</i>, Springer 2007.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	Praca dyplomowa w ramach współpracy z firmami Adtran i Intel.
<b>Komentarz</b>	Wymagana znajomość języków HDL(VHDL lub Verilog) i C/C++.
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie



<b>Temat</b>	<b>Sprzętowa akceleracja przetwarzania strumienia wideo</b>
<b>Temat w języku angielskim</b>	<b>Hardware acceleration of video stream processing</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Marek Wójcikowski</b>
<b>Konsultant pracy</b>	<b>Bartosz Matwiejczyk (firma Intel)</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest projekt, realizacja oraz badanie wydajności wybranego algorytmu służącego do przetwarzania obrazów. W ramach pracy należy zaprojektować i zrealizować system mikroelektroniczny wykorzystujący procesory oraz akceleratory zbudowane na FPGA przetwarzający obraz z kamery i wyświetlający wyniki na monitorze. Dyplomant powinien wybrać i opracować implementację sprzętową lub sprzętowo-programową wybranych operacji przetwarzania obrazów i zintegrować je w postaci całego toru kamera-monitor przetwarzającego na żywo strumień wideo.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Dokonać przeglądu literatury naukowej.</li> <li>2. Przeanalizować wybrane algorytmy pod kątem możliwości realizacji sprzętowej.</li> <li>3. Wykonać modelowanie wybranych algorytmów z wykorzystaniem symulacji komputerowej (np. OpenCv, Matlab, itp.).</li> <li>4. Zrealizować tor wideo - wejście z kamery oraz wyjście na monitor (projektując rozwiązanie własne lub korzystając z gotowych rozwiązań).</li> <li>5. Dodać do opracowanego toru wideo algorytmy przetwarzające, wykorzystujące procesory oraz koprocesory FPGA.</li> <li>6. Wykonać pełną analizę zrealizowanego systemu, dokonać niezbędnych modyfikacji i zaproponować optymalizacje poprawiające możliwości algorytmu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. Dokumentacja systemu Vivado <a href="http://www.xilinx.com">www.xilinx.com</a>.</li> <li>2. Dokumentacja platformy Zybo <a href="http://www.digilent.com">www.digilent.com</a>.</li> <li>3. J. Ganssle, <i>The Art of Designing Embedded Systems</i>, Elsevier 2008.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	Praca dyplomowa w ramach współpracy z firmami Intel i Adtran.
<b>Komentarz</b>	Wymagana znajomość języków HDL (VHDL lub Verilog) i C/C++.
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Sprzętowy akcelerator do przetwarzania wyrażeń regularnych zrealizowany w oparciu o płytę prototypową z układem FPGA</b>
<b>Temat w języku angielskim</b>	<b>Hardware accelerator for regular expressions processing based on the FPGA prototype board</b>
<b>Opiekun pracy</b>	<b>dr inż. Miron Kłosowski</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Projekt i realizacja w układzie FPGA sprzętowego akceleratora przetwarzającego wybrane elementy wyrażeń regularnych.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z wyrażeniami regularnymi, ćwiczenia z komendą grep, specyfikacja szczegółowych założeń akceleratora.</li> <li>2. Opracowanie w języku VHDL projektu akceleratora przetwarzającego wybrane elementy wyrażeń regularnych.</li> <li>3. Opracowanie oprogramowania do testowania i oceny wydajności akceleratora.</li> <li>4. Wnioski z testów oraz pomiarów wydajności i podsumowanie.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>Strona laboratorium ISP: <a href="http://www.ue.eti.pg.gda.pl/isp">http://www.ue.eti.pg.gda.pl/isp</a>.</i></li> <li>2. <i>Dokumentacja układu FPGA: <a href="http://www.xilinx.com">www.xilinx.com</a>.</i></li> <li>3. <i>Gogte, Vaibhav, et al. "HARE: Hardware accelerator for regular expressions." <i>Microarchitecture (MICRO)</i>, 2016 49th Annual IEEE/ACM International Symposium on. IEEE, 2016.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Sterownik silnika bezszczotkowego</b>
<b>Temat w języku angielskim</b>	<b>Brushless motor controller</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Grzegorz Blakiewicz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Należy opracować sterownik silnika bezszczotkowego wykorzystujący modulację szerokości impulsów. Sterownik będzie składać się z mikrokontrolera sterującego modulem mocy, który będzie miał za zadanie kontrolę pracy silnika średniej mocy (mniejszej niż 100 W). Należy wykonać i przetestować działanie prototypowego sterownika.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z budową i zasadą działania sterowników silników bezszczotkowych.</li> <li>2. Opracowanie schematu sterownika.</li> <li>3. Opracowanie sterownika prototypowego.</li> <li>4. Wykonanie testów funkcjonalnych prototypu.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. M. K. Kazmierczuk, „Pulse-width Modulated DC-DC Power Converters”, Wiley 2008.</li> <li>2. Z. Goryca, <i>Bezczotkowe silniki prądu stałego – konstrukcje i sterowanie</i>, „Automatyka-Elektryka-Zakłócenia”, 3/2013.</li> <li>3. A. Domaradzki, <i>Wpływ sposobu sterowania komutatorem elektronicznym na właściwości ruchowe silnika bezszczotkowego</i>, Zeszyty naukowe politechniki śląskiej, 172/2000.</li> <li>4. Bilal Akin, Manish Bhardwaj, „Sensorless Trapezoidal Control of BLDC Motors”, Texas Instruments, 2013.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	<b>Studium wykonalności aktywnych szyków elektronicznie fazowanych dla potrzeb nowoczesnych systemów komunikacji satelitarnej pasm Ku i Ka, pracujących z konstelacjami GEO, MEO i LEO</b>
Temat w języku angielskim	<b>Feasibility analysis of active electronically steerable phased array for contemporary Ku and Ka band satellite communication systems, working with GEO, MEO and LEO constellations</b>
Opiekun pracy	<b>dr inż. Piotr Kurgan</b>
Konsultant pracy	
Recenzent	
Cel pracy	Praca ukierunkowana jest na przeprowadzenie analizy wykonalności aktywnych szyków elektronicznie fazowanych dla nowoczesnych rozwiązań komunikacji satelitarnej, pracujących z systemami konstelacji GEO, MEO i LEO w pasmach Ku i Ka. W ramach pracy należy porównać i przedyskutować odmienne architektury systemowe, jak również przeprowadzić analizę literatury pod kątem możliwych rozwiązań antenowych oraz zintegrowanych układów formowania wiązki. Punktem wyjścia jest opracowanie nadrzędnych wymagań systemowych na komunikację satelitarną dla systemów GEO, MEO i LEO pasm Ku i Ka.
Zadania	<ol style="list-style-type: none"> <li>1. Opracowanie wymagań systemowych dla systemów GEO, MEO i LEO pasm Ku oraz Ka.</li> <li>2. Przegląd literatury pod kątem możliwych rozwiązań architektury systemu radiowego.</li> <li>3. Przegląd literatury pod kątem możliwych rozwiązań antenowych.</li> <li>4. Przegląd literatury pod kątem możliwych rozwiązań zintegrowanych układów formowania wiązki.</li> <li>5. Modelowanie systemu w różnych konfiguracjach wybranych środowisku numerycznym.</li> <li>6. Numeryczna analiza systemowa.</li> <li>7. Podsumowanie i wnioski.</li> </ol>
Literatura	<ol style="list-style-type: none"> <li>1. <i>T. Chaloun et al., Electronically Steerable Antennas for Future Heterogeneous Communication Networks: Review and Perspectives, IEEE Journal of Microwaves, vol. 2, no. 4, pp. 545-581, 2022.</i></li> <li>2. <i>R. de Marco et al., Low Profile Dual-Band Dual-Polarized Transmitarray Antenna for Satellite Communications, 17th European Conference on Antennas and Propagation (EuCAP), 2023.</i></li> <li>3. <i>C. Mustacchio et al., Preliminary Results on a Compact Duplexer Design for K/Ka-Band SatCom on the Move User Terminals, 2022 Microwave Mediterranean Symposium (MMS), 2022.</i></li> </ol>
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>System mikroelektroniczny do zdalnego pomiaru ciśnienia w oponie</b>
<b>Temat w języku angielskim</b>	<b>Microelectronic system for remote tire pressure measurement</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Marek Wójcikowski</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest opracowanie prototypowego systemu mikroelektronicznego do zdalnego pomiaru ciśnienia w formie demonstratora. Demonstrator powinien składać się z modułu pomiaru ciśnienia z zasilaniem bateryjnym oraz stacji odbiorczej z wyświetlaczem i zasilaniem zewnętrznym.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z systemami TPMS, wybór sposobu realizacji, selekcja modułów i komponentów.</li> <li>2. Opracowanie, zbudowanie i uruchomienie niskomocowego czujnika ciśnienia z nadajnikiem radiowym i zasilaniem bateryjnym.</li> <li>3. Opracowanie, zbudowanie i uruchomienie odbiornika z wyświetlaczem (zasilanie zewnętrzne, np. 5V lub 12V).</li> <li>4. Uruchomienie całego systemu mikroelektronicznego demonstrującego działanie wszystkich modułów.</li> <li>5. Optymalizacja systemu pod kątem poboru mocy z zasilania oraz parametrów użytkowych i funkcjonalnych, analiza i rozpoznanie możliwości miniaturyzacji systemu.</li> <li>6. Badania i pomiary systemu pod kątem uzyskanych parametrów elektrycznych, fizycznych i użytkowych.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>J. Ganssle, The Art of Designing Embedded Systems, Elsevier 2008.</i></li> <li>2. <a href="https://www.nxp.com/docs/en/white-paper/TPMSWP.pdf">https://www.nxp.com/docs/en/white-paper/TPMSWP.pdf</a>.</li> <li>3. <a href="https://www.st.com/en/microcontrollers-microprocessors/stm8-8-bit-mcus.html">https://www.st.com/en/microcontrollers-microprocessors/stm8-8-bit-mcus.html</a>.</li> <li>4. <a href="https://www.sensortips.com/featured/automotive-tire-pressure-monitoring-system-part-3-implementation-faq/">https://www.sensortips.com/featured/automotive-tire-pressure-monitoring-system-part-3-implementation-faq/</a>.</li> </ol>
<b>Proponowana liczba osób</b>	2
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	Wymagana znajomość języka C/C++. Temat 2-osobowy.
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Układy generatorów pierścieniowych CMOS o dodatnich i ujemnych wrażliwościach generowanych częstotliwości na temperaturę - dla kompensacji temperaturowej źródeł napięć odniesienia</b>
<b>Temat w języku angielskim</b>	<b>CMOS ring oscillator circuits with positive and negative sensitivities of generated frequencies – for compensation of temperature sensitivities of voltage reference circuits</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Piotr Płotka</b>
<b>Konsultant pracy</b>	<b>mgr inż. Maciej Luty - SYNOPSIS</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Zaprojektowanie dwóch typów generatorów pierścieniowych CMOS. Jeden typ powinien mieć dodatnią wartość wrażliwości częstotliwości generowanego sygnału na temperaturę. Drugi typ oscylatora pierścieniowego powinien mieć ujemną wartość tej wrażliwości. Wrażliwość obu typów generatorów na zmiany napięcia zasilania powinna być możliwie mała. Taka para generatorów mogłaby docelowo posłużyć do konstrukcji precyzyjnych, niewrażliwych na zmiany temperatury źródeł napięć odniesienia w układach scalonych CMOS.</p> <p>Design of two types of CMOS ring oscillators. The generator of one type should have a positive sensitivity on temperature variations, while the other type of the generator should have the negative sensitivity. The sensitivity of the generated frequency on variations of the supply voltage should be possibly small. Such a pair of ring oscillators could be used in future for designing of precise, temperature-independent voltage reference CMOS integrated circuits.</p>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z układami wytwarzającymi napięcia odniesienia z wykorzystaniem generatorów pierścieniowych CMOS;</li> <li>2. Wybór optymalnych układów generatorów pierścieniowych CMOS o dodatnich i ujemnych wrażliwościach generowanych częstotliwości;</li> <li>3. Zaprojektowanie i symulacja układów;</li> <li>4. Wyciągnięcie wniosków.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition" Behzad Razavi, MCGraw Hill Education 2017.</i></li> <li>2. <i>S. Byun, Categorization and Characterization of Time Domain CMOS Temperature Sensors, Sensors, v. 20, No. 22, 6700, 2020, DOI:10.3390/s20226700.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Układ CMOS wytwarzający niezależne od temperatury napięcie odniesienia wykorzystujący temperaturową zależność rezystancji scalonych rezystorów</b>
<b>Temat w języku angielskim</b>	<b>CMOS temperature-independent voltage reference circuit making use of temperature dependence of integrated resistors</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Piotr Płotka</b>
<b>Konsultant pracy</b>	<b>mgr inż. Maciej Luty - SYNOPSISYS</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Zaprojektowanie praktycznego źródła napięcia odniesienia o dużej dokładności w oparciu o tranzystory MOS i rezystory. Układ ma działać jako blok układu scalonego CMOS wytwarzając napięcie odniesienia dla woltomierza wbudowanego również w ten układ scalony. Dla kompensacji wpływu temperatury na wytwarzane napięcie odniesienia wykorzystane zostaną rezystory o dodatnich i ujemnych temperaturowych współczynnikach rezystancji.</p> <p>Design of a useful reference voltage source of high accuracy, containing MOS transistors and resistors. The voltage source is intended to use as a block of a CMOS integrated circuit, producing a reference voltage for a voltmeter built into the same integrated circuit. Compensation of the temperature effect on the generated reference voltage is to be obtained with integrated resistors of positive and negative temperature sensitivities of their resistances.</p>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z układami wytwarzającymi napięcia odniesienia z wykorzystaniem tranzystorów MOS i rezystorów;</li> <li>2. Wybór optymalnego układu;</li> <li>3. Zaprojektowanie i symulacja układu;</li> <li>4. Wyciągnięcie wniosków.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition"</i> Behzad Razavi, McGraw Hill Education 2017.</li> <li>2. <i>"Precision Temperature Sensors in CMOS Technology"</i> Michiel A.P. Pertijs, Johan H. Huijsing, Springer 2006.</li> <li>3. <i>"Energy-Efficient Smart Temperature Sensors in CMOS Technology"</i> Kamran Souri, Kofi A.A. Makinwa, Springer 2018.</li> <li>4. Chi-Wah Kok, Wing-Shan Tam, <i>CMOS voltage references : an analytical and practical perspective</i>, John Wiley &amp; Sons, 2013, ISBN: 9781118275689.</li> <li>5. S. Pan and K. A. A. Makinwa, "A 10 fJ·K<sup>2</sup> Wheatstone Bridge Temperature Sensor With a Tail-Resistor-Linearized OTA," in <i>IEEE Journal of Solid-State Circuits</i>, vol. 56, no. 2, pp. 501-510, Feb. 2021, doi: 10.1109/JSSC.2020.3018164.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Układ polaryzujący o stałym gm z przełączaną pojemnością</b>
<b>Temat w języku angielskim</b>	<b>The constant gm bias circuit with switched capacitor</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Bogdan Pankiewicz</b>
<b>Konsultant pracy</b>	<b>Maciej Luty (Synopsys)</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Cel pracy: Zaprojektowanie praktycznego układu wytwarzającego napięcia/prądy polaryzujące o stałym gm i wykorzystaniem układu C-przełączane zamiast rezystora ustalającego prąd pętli prądowej. Porównanie go z układem zbudowanym na zwykłym rezystorze. Część projektowa zaplanowana jest do wykonania w środowisku Cadence Virtuoso z użyciem technologii GPDK045.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z układem polaryzującym o stałym gm.</li> <li>2. Zapoznanie się z układami C-przełączane.</li> <li>3. Wybór optymalnego układu spełniającego wymagania.</li> <li>4. Zaprojektowanie i symulacja układu z rezystorem i C-przełączanym.</li> <li>5. Porównanie parametrów obu rozwiązań.</li> <li>6. Wnioski.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition" Behzad Razavi, MCGraw Hill Education 2017.</i></li> <li>2. <i>M. Pelgrom, A. Duinmaijer, A. Welbres, "Matching properties of MOS transistors", IEEE Journal of Solid-State Circuits, vol. 24, no. 5, October 1989.</i></li> <li>3. <i>Wybrane artykuły "IEEE J. Solid-State Circuits".</i></li> <li>4. <i>Dokumentacja technologii CMOS Cadence GPDK045 – dostępna w katedrze.</i></li> <li>5. <i>Dokumentacja pakietu oprogramowania CADENCE – dostępna w katedrze.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	Temat w porozumieniu z firmą Synopsys
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie



<b>Temat</b>	<b>Układ wytwarzający niezależne od temperatury napięcie referencyjne z tranzystorami MOS</b>
<b>Temat w języku angielskim</b>	<b>MOS FET based temperature-independent reference voltage circuit</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Piotr Płotka</b>
<b>Konsultant pracy</b>	<b>mgr inż. Maciej Luty - SYNOPSISYS</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Zaprojektowanie praktycznego źródła napięcia odniesienia o dużej dokładności zawierającego wyłącznie tranzystory MOS. Układ ma działać jako blok układu scalonego CMOS wytwarzając napięcie odniesienia dla woltomierza wbudowanego również w ten układ scalony.</p> <p>Design of a useful reference voltage source of high accuracy, containing only MOS transistors. The voltage source is intended to use as a block of a CMOS integrated circuit, producing a reference voltage for a voltmeter built into the same integrated circuit.</p>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z układami wytwarzającymi napięcie odniesienia z wykorzystaniem tylko tranzystorów MOS;</li> <li>2. Wybór optymalnego układu;</li> <li>3. Zaprojektowanie i symulacja układu;</li> <li>4. Wyciągnięcie wniosków.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition"</i> Behzad Razavi, MCGraw Hill Education 2017.</li> <li>2. <i>"Precision Temperature Sensors in CMOS Technology"</i> Michiel A.P. Pertijs, Johan H. Huijsing, Springer 2006.</li> <li>3. <i>"Energy-Efficient Smart Temperature Sensors in CMOS Technology"</i> Kamran Souri, Kofi A.A. Makinwa, Springer 2018.</li> <li>4. Chi-Wah Kok, Wing-Shan Tam, <i>CMOS voltage references : an analytical and practical perspective</i>, John Wiley &amp; Sons, 2013, ISBN: 9781118275689.</li> <li>5. C. Sawigun, X. Yang and C. Mora Lopez, <i>"Ultra-Low-Power Voltage References: Exploring picowatt-level design using CMOS and hybrid architectures,"</i> in <i>IEEE Solid-State Circuits Magazine</i>, vol. 15, no. 4, pp. 50-57, Fall 2023, doi: 10.1109/MSSC.2023.3309769.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Użycie oscylatorów pierścieniowych do wykrywania skoków napięcia</b>
<b>Temat w języku angielskim</b>	<b>Using ring oscillators to detect voltage spikes</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Bogdan Pankiewicz</b>
<b>Konsultant pracy</b>	<b>Maciej Luty (Synopsys)</b>
<b>Recenzent</b>	
<b>Cel pracy</b>	Opracowanie układu wykrywającego skoki napięcia zasilającego o określonych parametrach na bazie oscylatora pierścieniowego. Część projektowa zaplanowana jest do wykonania w środowisku Cadence Virtuoso z użyciem technologii GPDK045.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Badanie układów oscylatorów pierścieniowych pod kątem czułości na zmiany napięcia (symulacje).</li> <li>2. Wybór optymalnego układu oscylatora.</li> <li>3. Zaprojektowanie układów towarzyszących i logicznych.</li> <li>4. Symulacja wykrycia, bądź nie, określonych przebiegów napięcia.</li> <li>5. Wnioski.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. <i>"Design of analog CMOS Integrated Circuits, Second Edition" Behzad Razavi, MCGraw Hill Education 2017.</i></li> <li>2. <i>M. Pelgrom, A. Duinmaijer, A. Welbres, "Matching properties of MOS transistors", IEEE Journal of Solid-State Circuits, vol. 24, no. 5, October 1989.</i></li> <li>3. <i>Wybrane artykuły "IEEE J. Solid-State Circuits".</i></li> <li>4. <i>Dokumentacja technologii CMOS Cadence GPDK045 – dostępna w katedrze.</i></li> <li>5. <i>Dokumentacja pakietu oprogramowania CADENCE – dostępna w katedrze.</i></li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	Temat w porozumieniu z firmą Synopsys
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Zdalny czujnik parametrów środowiskowych</b>
<b>Temat w języku angielskim</b>	<b>Mobile environmental parameters sensor</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Bogdan Pankiewicz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	<p>Celem projektu jest wykonanie czujnika parametrów środowiskowych o niewielkich wymiarach i zasilanego z akumulatora zdolnego do samodzielnej niezależnej pracy przez okres co najmniej 1 miesiąca. Urządzenie ma być przeznaczone do pracy na zewnątrz. Połączenie z urządzeniem ma być realizowane poprzez sieć WiFi. Planowane jest wykonanie obudowy poprzez wydruk 3D. Pozostałe parametry:</p> <ul style="list-style-type: none"> <li>- zasilanie modułów wewnętrznych napięciem 3,3 V,</li> <li>- podtrzymywanie zasilania z pojedynczej celi Li-Pol lub Li-Ion,</li> <li>- zasilanie zewnętrzne, ładowanie akumulatora oraz programowanie poprzez złącze USB,</li> <li>- obowiązkowe pomiary: temperatury, wilgotności, ciśnienia</li> <li>- opcjonalne pomiary: PM, NO<sub>2</sub> oraz wszelkie dodatkowe zaproponowane przez wykonawców,</li> <li>- możliwe 2 wersje urządzenia: bez i ze zintegrowanym wyświetlaczem mierzonych parametrów.</li> </ul>
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Zapoznanie się z problemem.</li> <li>2. Wykonanie projektu schematu elektrycznego.</li> <li>3. Wykonanie projektu płytki drukowanej.</li> <li>4. Wykonanie oprogramowania urządzenia.</li> <li>5. Wykonanie obudowy urządzenia oraz jego montaż.</li> <li>6. Testy działania.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji", BTC 2107.</li> <li>2. <a href="https://www.espressif.com/en/products/modules/esp8266">https://www.espressif.com/en/products/modules/esp8266</a>.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	Temat wznowiony
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

<b>Temat</b>	<b>Zegar z wykorzystaniem lamp fluorescencyjnych</b>
<b>Temat w języku angielskim</b>	<b>Clock using fluorescent lamps</b>
<b>Opiekun pracy</b>	<b>dr hab. inż. Bogdan Pankiewicz</b>
<b>Konsultant pracy</b>	
<b>Recenzent</b>	
<b>Cel pracy</b>	Celem pracy jest zaprojektowanie i wykonanie zegara z wykorzystaniem lamp fluorescencyjnych (VFD). Urządzenie powinno zapewniać podtrzymanie bateryjne zegara w czasie braku zasilania zewnętrznego.
<b>Zadania</b>	<ol style="list-style-type: none"> <li>1. Rozpoznanie literaturowe problemu.</li> <li>2. Zaproponowanie głównych komponentów urządzenia oraz projektu schematu.</li> <li>3. Wykonanie projektu płytki drukowanej oraz jej montaż.</li> <li>4. Wykonanie projektu obudowy oraz jej wydruk w technice 3D.</li> <li>5. Wykonanie oprogramowania oraz testy.</li> </ol>
<b>Literatura</b>	<ol style="list-style-type: none"> <li>1. J. Bogusz "Wyświetlacze VFD od podstaw", <i>Elektronika Praktyczna</i>, 4/2004 i 5/2004.</li> <li>2. P. Górecki "Wyświetlacze VFD", <i>Elektronika dla Wszystkich</i>, 2/2005.</li> <li>3. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji", <i>BTC 2107</i>.</li> <li>4. <a href="https://www.espressif.com/en/products/modules/esp8266">https://www.espressif.com/en/products/modules/esp8266</a>.</li> </ol>
<b>Proponowana liczba osób</b>	1
<b>Informacje dodatkowe</b>	
<b>Komentarz</b>	
<b>Studia</b>	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie