

Temat	Ekstrakcja wartości parametrów małosygnalowego modelu tranzystora MOS.
Temat w języku angielskim	Parameter value extraction for a small-signal MOSFET model.
Opiekun pracy	dr hab. inż. Wiesław Kordalski
Konsultant pracy	mgr inż. Damian Trofimowicz
Recenzent	
Cel pracy	Opracowanie i implementacja metody ekstrakcji wartości parametrów quasi-dwuwymiarowego modelu małosygnalowego tranzystora MOS na platformie MATLABa.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury. 2. Opracowanie i implementacja interfejsu użytkownika 3. Wizualizacja charakterystyk częstotliwościowych parametrów admitancyjnych modelu małosygnalowego MOSFETA 4. Wybór i implementacja metody ekstrakcji wartości parametrów modelu małosygnalowego tranzystora MOS.
Literatura	<ol style="list-style-type: none"> 1. W. Findeisen i in., <i>"Teoria i metody obliczeniowe optymalizacji"</i>, PWN, W-wa 1977. 2. D.E. Goldberg, <i>"Algorytmy genetyczne"</i> WNT, w-wa 1989. 3. M-A.Chalkiadaki, C. Enz, <i>"RF Small-Signal ..."</i>, IEEE Tr. MTT, Vol. 63, No 7, 2015. pp. 2175-2184.
Proponowana liczba osób	1
Informacje dodatkowe	Do testowania opracowanej metody ekstrakcji wartości parametrów modelu małosygnalowego tranzystora MOS z kanałem indukowanym dyplomant otrzyma gotowe wyniki pomiarów charakterystyk częstotliwościowych elementów macierzy admitancyjnej [Ykl]. Pomiary wykonano w ramach współpracy naukowej z Instytutem Fraunhofera w Erlangen, Niemcy, na specjalnie zaprojektowanych i wykonanych nieobudowanych, dyskretnych strukturach tranzystorów MOS przystosowanych do pomiarów wysokoczęstotliwościowych za pomocą wektorowego analizatora sieci (VNA – ang. vector network analyzer) wyposażonego w mikrofalową mikrosondę koplanarną. Tranzystory mierzono w zakresie od 65 MHz do 30 GHz.
Komentarz	Temat wznawiany
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Energooszczędny, różnicowy interfejs komunikacyjny z zasilaniem pasożytniczym.
Temat w języku angielskim	Energy-saving differential communication interface with parasitic power supply.
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie, zaprojektowanie i zbadanie przewodowego interfejsu komunikacyjnego, który będzie w stanie efektywnie przesyłać dane na znaczne odległości (kilkaset metrów) z niedużymi przepływnościami (rzędu 10--100kbps). W celu zwiększenia odporności na zakłócenia interfejs ma wykorzystywać transmisję różnicową. Dodatkowo przewidziana powinna być możliwość zasilania pasożytniczego stacji końcowych co oznacza, że przewiduje się możliwość czerpania energii z linii komunikacyjnej, dzięki czemu możliwa będzie minimalizacja kosztów instalacji infrastruktury zasilającej. Przewiduje się możliwe zastosowanie interfejsu m.in. do komunikacji z sensorami środowiskowymi czy też w systemach alarmowych lub sterowania automatyką domową i przemysłową. W ramach pracy przewidziane jest wykonanie projektu interfejsu, budowa prototypu oraz jego zbadanie w warunkach laboratoryjnych.
Zadania	<ol style="list-style-type: none"> 1. Rozpoznanie literaturowe. 2. Propozycja projektu interfejsu. 3. Budowa modelu. 4. Badania laboratoryjne.
Literatura	<ol style="list-style-type: none"> 1. J. Goldie, "Summary of Well Known Interface Standards," Application Note AN-216, National Semiconductor. 2. J. W. Valvao, "Embedded Systems: Real-Time Interfacing to Arm Cortex-M Microcontrollers", CreateSpace Independent Publishing Platform; 5th edition (November 10, 2011). 3. D. Paret, "The I2C Bus: From Theory to Practice", Wiley; 1st edition (February 1, 1997).
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Implementacja fizycznej funkcji nieklonowalnej z wykorzystaniem pamięci RAM w układach FPGA.
Temat w języku angielskim	Implementation of a physical unclonable function using RAM in FPGAs.
Opiekun pracy	dr inż. Miron Kłósowski
Konsultant pracy	
Recenzent	
Cel pracy	Zbadanie możliwości realizacji fizycznej funkcji nieklonowalnej (physical unclonable function) z wykorzystaniem pamięci RAM występujących w układach FPGA. Projekt i realizacja w układzie FPGA zaproponowanej implementacji.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się ze znanymi metodami realizacji fizycznych funkcji nieklonowalnych (PUF) w układach ASIC i FPGA. 2. Opracowanie metody implementacji PUF za pomocą pamięci RAM wbudowanych w układ FPGA. 3. Implementacja PUF opracowaną metodą w układzie FPGA produkcji Xilinx za pomocą języka VHDL i/lub Verilog. 4. Opracowanie oprogramowania testującego, przeprowadzenie testów i określenie właściwości zrealizowanego układu PUF. 5. Wnioski z testów i podsumowanie.
Literatura	<ol style="list-style-type: none"> 1. Zhang JL, Wu Q, Ding YP et al. Techniques for design and implementation of an FPGA-specific physical unclonable function. Journal of Computer Science and Technology 31(1): 124136 Jan. 2016. DOI 10.1007/s11390-016-1616-8 2. Anderson JH. A PUF design for secure FPGA-based embedded systems. In Proc. the 15th ASPDAC, Jan. 2010, pp.1-6. 3. Güneysu, Tim & Paar, Christof. (2010). Transforming write collisions in block RAMs into security applications. 128 - 134. 10.1109/FPT.2009.5377631. 4. Lata, K.; Cenkeramaddi, L.R. FPGA-Based PUF Designs: A Comprehensive Review and Comparative Analysis. Cryptography 2023, 7, 55. https://doi.org/10.3390/cryptography70400555. 5. Strona laboratorium ISP: http://www.ue.eti.pg.gda.pl/isp. 6. Dokumentacja układów FPGA: www.xilinx.com.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Klasyfikacja obrazów na miniaturowej platformie sprzętowej.
Temat w języku angielskim	Image classification on a miniature hardware platform.
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Recenzent	
Cel pracy	Zaprojektowanie, zbudowanie oraz analiza działania systemu mikroelektronicznego przetwarzającego obrazy oraz wykorzystującego algorytmy sztucznej inteligencji (AI). Na przykładzie wybranej aplikacji należy przeanalizować proces projektowania oraz otrzymane rezultaty pod kątem możliwości obliczeniowych, sprawności, prędkości i jakości działania. W wyniku analizy powinny zostać sformułowane wnioski oraz rozpoznane maksymalne możliwości działania algorytmów AI przetwarzających obrazy na platformach z ograniczeniami sprzętowymi (mikrokomputer jednopłytkowy).
Zadania	<ol style="list-style-type: none"> 1. Rozpoznanie i analiza wybranych możliwości realizacji projektu wykorzystującego algorytmy AI do przetwarzania/.klasyfikacji obrazów. 2. Wybór platformy sprzętowej oraz elementów peryferyjnych, zapoznanie się z wybraną platformą sprzętową (proponowana platforma: np. UNIHAKER DFR0706) . 3. Wykonanie projektu z wykorzystaniem zaproponowanych algorytmów. 4. Analiza procesu projektowania pod kątem m.in. szybkości projektowania, łatwości wprowadzania zmian, przenośności projektu, możliwości testowania i uruchamiania. 5. Analiza otrzymanych wyników działania systemu pod kątem jakości otrzymanego rozwiązania, prędkości działania, zużycia zasobów oraz poboru mocy. Wyciągnięcie wniosków z projektu, określenie maksymalnych/potencjalnych możliwości systemu oraz ograniczeń sprzętowo-programowych.
Literatura	<ol style="list-style-type: none"> 1. J. Ganssle, The Art of Designing Embedded Systems, Elsevier 2008. 2. Christopher M. Bishop, Pattern Recognition and Machine Learning, Springer 2007. 3. F. Vasquez, C, Simmonds, Mastering Embedded Linux Programming, Packt Publishing, 2021.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Matrycowy sensor obrazu w niskonapięciowej technologii CMOS.
Temat w języku angielskim	Array image sensor in a low-voltage CMOS technology.
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zbadanie możliwości implementacji matrycowego (pikselowego) sensora obrazu w technologii CMOS przystosowanej do napięć zasilających poniżej 1.8 V. Badania będą obejmować między innymi takie elementy jak fotodiody, niskoenergetyczne komparatory analogowe oraz wewnątrz pikselowe przetworniki analogowo-cyfrowe. Do dyspozycji jest profesjonalne oprogramowanie firmy Cadence.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z sensorami obrazu CMOS. 2. Opracowanie modeli, elektrycznego (SPICE) i behawioralnego (Verilog-AMS), fotodiody na potrzeby symulacji. 3. Opracowanie i badania symulacyjne aktywnego piksela światłoczułego. 4. Opracowanie i badania symulacyjne tablicy pikseli wraz z przetwornikami analogowo-cyfrowymi. 5. Projekt topografii układu scalonego i weryfikacja typu post-layout.
Literatura	<ol style="list-style-type: none"> 1. „A Review on Digital Pixel Sensors,” Cornell University, 2024, DOI: 10.48550/arXiv.2402.04507. 2. „Sensor-level computer vision with pixel processor arrays for agile robots,” Science Robotics, 2022, DOI: 10.1126/scirobotics.abl7755. 3. „Projektowanie full-custom układów scalonych CMOS w środowisku Cadence Virtuoso,” skrypt Politechniki Gdańskiej, 2016. 4. Dokumentacje technologii CMOS – dostępne w Katedrze Systemów Mikroelektronicznych.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Modelowanie i analiza systemu komunikacji satelitarnej pracującego w paśmie Ka przy użyciu oprogramowania MATLAB.
Temat w języku angielskim	Ka-Band Satellite Communication System Modeling and Analysis using MATLAB software.
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	
Recenzent	dr hab. inż. Adrian Bekasiewicz
Cel pracy	Celem pracy jest zamodelowanie w środowisku MATLAB nowoczesnego systemu komunikacji satelitarnej (ang. <i>High-Throughput System</i>) pracującego w paśmie Ka. Do zakresu pracy należy porównanie różnych architektur nadajników i odbiorców z perspektywy wymagań systemowych, synteza planu częstotliwości, liczenie budżetu i marginesów łącza oraz parametrów kompromisowych (ang. <i>trade-offs</i>).
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury. 2. Zapoznanie się z oprogramowaniem MATLAB pod kątem modelowania systemów SATCOM. 3. Zestawienie wymagań systemowych SATCOM dla pasma Ka. 4. Analiza porównawcza różnych architektur nadajników i odbiorców radiowych na pasmo Ka. 5. Opracowanie planów częstotliwości. 6. Modelowanie systemu. 7. Analiza systemowa, wyznaczenie parametrów kompromisowych.
Literatura	<ol style="list-style-type: none"> 1. Hector Fenech, <i>High-Throughput Satellites</i>, Artech House, 2021. 2. Louis J. Ippolito Jr, <i>Satellite Communications Systems Engineering: Atmospheric Effects, Satellite Link Design and System Performance</i>, John Wiley & Sons, 2017. 3. Daniel Minoli, <i>Innovations in Satellite Communications and Satellite Technology: The Industry Implications of DVB-S2X, High Throughput Satellites, Ultra HD, M2M, and IP</i>, Wiley, 2015. 4. https://www.analog.com/en/technical-articles/satellite-communications-design.html. 5. https://www.analog.com/en/technical-articles/a-review-of-wideband-rf-receiver-architecture-options.html.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	Więcej informacji u opiekuna pracy.
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Niskokosztowa optymalizacja gradientowa jedno- i wielopasmowych struktur antenowych z wykorzystaniem uogólnionej metody cech odpowiedzi i ograniczoną aktualizacją czułości.
Temat w języku angielskim	Expedited gradient-based optimization of antenna structures with generalized response features and sparse restricted updates
Opiekun pracy	dr hab. inż. Anna Pietrenko-Dąbrowska
Konsultant pracy	
Recenzent	
Cel pracy	Pełnofalowe symulacje elektromagnetyczne są niezbędne w projektowaniu nowoczesnych systemów antenowych. Zastosowanie analizy elektromagnetycznej zapewnia odpowiednią dokładność ewaluacji charakterystyk anten, jednak wiąże się ze znacznymi kosztami obliczeniowymi. Jest to szczególnie istotne, gdy niezbędne jest przeprowadzenie wielokrotnych symulacji wymaganych przez optymalizację parametryczną. Koszt procedur projektowych przeprowadzanych z wykorzystaniem algorytmów optymalizacji lokalnej jest często bardzo wysoki, natomiast koszt optymalizacji globalnej może nawet okazać się nieakceptowalny z praktycznego punktu widzenia. Znaczną redukcję kosztu obliczeniowego umożliwi zastosowanie optymalizacji z wykorzystaniem cech odpowiedzi bazującej na zbliżonej do liniowej zależności pomiędzy współrzędnymi punktów charakterystycznych odpowiedzi i parametrami anteny. Pozwala to na uzyskanie szybszej zbieżności algorytmów optymalizacyjnych. W pracy wykorzystywana będzie uogólniona definicja punktów charakterystycznych odpowiedzi dla większości typowych charakterystyk anten. Celem pracy jest zwiększenie niezawodności procedury optymalizacyjnej poprzez wykorzystanie podejścia opartego na cechach odpowiedzi oraz jej przyspieszenie. Przyspieszenie to polegać będzie na redukcji częstotliwości aktualizacji czułości odpowiedzi anteny.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z algorytmem do lokalnej optymalizacji gradientowej 2. Zapoznanie się z uogólnioną definicją punktów charakterystycznych 3. Opracowanie procedury optymalizacji z wykorzystaniem uogólnionej metody cech odpowiedzi i ograniczoną aktualizacją czułości 4. Testy numeryczne 5. Opracowanie raportu z przeglądem uzyskanych wyników
Literatura	<ol style="list-style-type: none"> 1. A. Pietrenko-Dabrowska, S. Koziel, Generalized formulation of response features for reliable optimization of antenna input characteristics," IEEE Trans. Antennas Propag., vol. 70, no. 5, pp. 3733-3748, 2022. 2. A. Pietrenko-Dabrowska, S. Koziel, „Response feature technology for high-frequency electronics. Optimization, modeling, and design automation,” Springer, 2024. 3. J. Nocedal, S. J. Wright, Numerical optimization, Springer, 2001. 4. https://www.mathworks.com
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Niskoszumny wzmacniacz operacyjny CMOS z autozerowaniem.
Temat w języku angielskim	Low noise analog CMOS operational amplifier with autozeroing.
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie niskoszumnego wzmacniacza z autozerowaniem przeznaczonego do współpracy z czujnikami i układami kondycjonowania sygnałów w systemach pomiarowych. Wzmacniacz ma być zaprojektowany dla technologii CMOS (do wyboru 45 nm, 90 nm i 180 nm).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z typowymi architekturami wzmacniaczy operacyjnych w technologii CMOS 2. Zapoznanie się z technikami autozerowania wzmacniaczy operacyjnych, 3. Zbadanie wpływu czynników PVT (ang. Process Voltage and Temperature) na napięcie niezrównoważenia wzmacniacza, 4. Opracowanie schematu elektrycznego i topografii struktury krzemowej wzmacniacza z układem autozerowania dla wybranej technologii CMOS, 5. Weryfikacja parametrów zaprojektowanego wzmacniacza, a w szczególności ocena skuteczności opracowanego układu autozerowania.
Literatura	<ol style="list-style-type: none"> 1. P.E. Allen, D.R. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002. 2. D. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc., 2012. 3. B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Education, 2017.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Pętla synchronizacji fazy PLL w technologii CMOS.
Temat w języku angielskim	Phase-locked loop (PLL) in CMOS technology.
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Należy zaprojektować pętlę synchronizacji fazy PLL składającą się z: oscylatora przestrajanego napięciem (VCO) w konfiguracji generatora pierścieniowego, detektora fazy oraz pompy ładunkowej. Pętla powinna umożliwiać synchronizację z sygnałem o częstotliwości wybranej z zakresu od 100 MHz do 500 MHz. Pasma trzymancia i chwytania pętli powinno wynosić co najmniej 1 % częstotliwości spoczynkowej generatora VCO. Projekt pętli ma być wykonany w technologii CMOS.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową pętli PLL, jej blokami funkcjonalnymi oraz metodami projektowania. 2. Opracowanie schematu pętli PLL i wyznaczenie parametrów komponentów. 3. Wykonanie symulacji weryfikujących działanie pętli i określenie najważniejszych parametrów pętli. 4. Opracowanie topografii pętli PLL. 5. Opracowanie dokumentacji technicznej.
Literatura	<ol style="list-style-type: none"> 1. B. Razavi, „Design of Analog CMOS Integrated Circuits”, McGraw-Hill 2001. 2. T. C. Carusone, D. A Johns, K.W. Martin, „Analog Integrated Circuits Design”, 2-nd ed., Wiley 2012.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	Temat wznawiany
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Pojemnościowe czujniki zbliżeniowe do interaktywnych aplikacji dotykowych działających z odległości.
Temat w języku angielskim	Capacitance Proximity Sensors for Range Touch Interfaces.
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Czujniki zbliżeniowe bazujące na pomiarze pojemności mają potencjał wykorzystania w interaktywnych aplikacjach dotykowych obsługiwanych z pewnej, niedużej odległości, umożliwiając np. detekcję gestów użytkowników nawet przez przeszkody, takie jak szyby czy panele czołowe. Praca ta ma na celu zaprojektowanie i analizę tych czujników pod kątem ich skuteczności w tworzeniu klawiatur i innych interfejsów dotykowych. Projektowanie czujników optymalizowanych pod kątem długich dystansów oraz różnorodnych materiałów otoczenia pozwoli na lepsze zrozumienie ich działania oraz umożliwi ich efektywne wykorzystanie w aplikacjach interaktywnych.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury dotyczący pojemnościowych czujników zbliżeniowych oraz technik interaktywnych aplikacji dotykowych na odległość. 2. Zaprojektowanie i zbadanie laboratoryjne kilku wersji pojemnościowych czujników zbliżeniowych. 3. Badanie skuteczności działania czujników w różnych warunkach otoczenia, w tym poprzez szklane powierzchnie i inne przeszkody.
Literatura	<ol style="list-style-type: none"> 1. https://www.infineon.com/dgdl/Infineon-AN92239_Proximity_Sensing_with_CapSense-ApplicationNotes-v03_00-EN.pdf?fileId=8ac78c8c7cdc391c017d07249aac4906 2. https://www.infineon.com/dgdl/Infineon-CE214023_CapSense_Proximity_Sensing-Code%20Example-v01_00-EN.pdf?fileId=8ac78c8c7d0d8da4017d0e6c28050175 3. Braun, Andreas; Wichert, Reinera; Kuijper, Arjana; Fellner, Dieter, "Capacitive proximity sensing in smart environments", Journal: Journal of Ambient Intelligence and Smart Environments, vol. 7, no. 4, pp. 483-510, 2015 DOI:10.3233/AIS-150324.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Porównanie właściwości liniowych regulatorów napięcia dostosowanych do nisko skalowalnych technologii CMOS.
Temat w języku angielskim	Performance comparison of linear voltage regulators suited for low-scalable CMOS technologies.
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	Michał Uszyński, Synopsys Poland
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie regulatora liniowego o napięciu wyjściowym 0.8V i prądzie wyjściowym z zakresu 0-5mA. Napięcie zasilające regulator wynosi 1.2V +/-10%. Należy porównać architektury wybranych regulatorów pod względem kluczowych parametrów elektrycznych, tzn. spoczynkowego poboru mocy, stabilności pętli regulacyjnej, PSRR, współczynnika stabilizacji napięcia wyjściowego, odpowiedzi czasowej przy impulsowym prądzie wyjściowym. Należy również porównać dodatkowe wymagania związane z implementacją regulatora w technologii CMOS, a mianowicie: powierzchni zajmowanej na strukturze krzemowej, wymagań związanych z kontrolą cyfrową napięcia odniesienia, itp.
Zadania	<ol style="list-style-type: none"> 1. Wykonanie przeglądu literaturowego dotyczącego najczęściej stosowanych konfiguracji regulatorów napięcia w technologii CMOS. 2. Wybranie kilku reprezentatywnych konfiguracji regulatorów, które cechują się najkorzystniejszymi parametrami. 3. Opracowanie projektów regulatorów w wybranej technologii CMOS. 4. Wykonanie serii symulacji na podstawie których zostaną wyznaczone kluczowe parametry elektryczne. 5. Opracowanie porównania parametrów wybranych konfiguracji regulatorów.
Literatura	<ol style="list-style-type: none"> 1. Huang, J.-R.; Wen, Y.-H.; Yang, T.-H.; Lee, J.-J.; Liu, G.-T.; Chen, Ke-H.; Lin, Y.-H.; Lin, S.-R.; Tsai, T.-Y. A 10 nA ultra-low quiescent current and 60 ns fast transient response low-dropout regulator for internet-of-things <i>IEEE Trans. Circuits Syst. I, Reg. Papers</i> 2022, 69, 139–147. DOI: 10.1109/TCSI.2021.3093057 2. Liu, N.; Chen, D. A Transient-Enhanced Output-Capacitorless LDO With Fast Local Loop and Overshoot Detection. <i>IEEE Trans. Circuits Syst. I, Reg. Papers</i> 2020, 67, 3422– 3432. DOI: 10.1109/TCSI.2020.2991747 3. Takram, M.A.; Hwang, I.-Ch.; Ha, S. Architectural advancement of digital low-dropout regulators. <i>IEEE Access</i>, 2020, 8, 137838– 137855. DOI: 10.1109/ACCESS.2020.3012467 4. Hurst, P.J.; Lewis, S.H.; Keane, J. P.; Aram, F.; Dyer, K. C. Miller Compensation Using Current Buffers in Fully Differential CMOS Two-Stage Operational Amplifiers <i>IEEE Trans. Circuits Syst. I, Reg. Papers</i> 2004, 51, 275–285. DOI: 10.1109/TCSI.2003.820254 5. Giustolisi, G.; Palumbo, G.; Spitale E. Robust Miller Compensation With Current Amplifiers Applied to LDO Voltage Regulators. <i>IEEE Trans. Circuits Syst. I, Reg. Papers</i> 2012, 59, 1880–1893. DOI: 10.1109/TCSI.2012.2185306 6. Zarate-Roldan, J.; Wang, M.; Torres, J.; Sanchez-Sincencio, E. A capacitor-less LDO with high-frequency PSR suitable for a wide range of on-chip capacitive loads. <i>IEEE Trans. Very Large Scale Integr. (VLSI) Syst.</i> 2016, 24, 2970–2982. DOI: 10.1109/TVLSI.2016.2527681.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Projekt dwupolaryzacyjnego podszyku antenowego dla skalowalnych systemów antenowych stosowanych w naziemnych urządzeniach do komunikacji satelitarnej pasma Ka.
Temat w języku angielskim	Design of dual-polarized subarray for scalable antenna systems used in Ka-band ground satellite communication terminals.
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	
Recenzent	
Cel pracy	Głównym celem pracy jest realizacja projektu anteny nadawczo-odbiorczej dla potrzeb skalowalnych systemów naziemnych do komunikacji satelitarnej w paśmie Ka. Rozwiązanie należy osadzić w konwencji szyków antenowych z elektronicznie sterowaną wiązką przyjmując możliwie szeroki zakres skanowania. Dyskusja nad doбором parametrów projektowych takich jak kształt apertury, liczba elementów antenowych czy ich przestrzenne rozmieszczenie powinna bazować na opisie analitycznym, opracowanym np. w środowisku MATLAB. Ostateczne rozwiązanie należy opracować w symulatorze elektromagnetycznym (np. HFSS).
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury i opracowanie wymagań systemowych. 2. Analiza porównawcza dostępnych w literaturze rozwiązań. 3. Modelowanie szyku antenowego w środowisku MATLAB. 4. Analiza rozwiązań kompromisowych. 5. Wybór wstępnego rozwiązania. 6. Modelowanie elektromagnetyczne. 7. Optymalizacja. 8. Dyskusja wyników numerycznych.
Literatura	<ol style="list-style-type: none"> 1. IEEE Xplore. 2. Yusheng Yin, Advanced Phased-Arrays and Techniques for 5G Multi-Standard Applications and Carrier Aggregation at 24-29 GHz and 37-40 GHz, PhD Dissertation, 2020. 3. Ahmed Nafe, Millimeter-Wave Single- and Dual-Polarized 2x2 MIMO Phased Arrays and In-Situ Over-the-Air System-Level Self-Calibration Techniques for 5G Applications, PhD Dissertation, 2020. 4. Rudraishwarya Banerjee, Design of Novel Phased Array Antennas with Integrated Beamforming Network and Dual Band Shared Aperture Feed Source for Reflector Antenna for Satellite Communication Applications, PhD Dissertation, 2023.
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Synteza i badania elektryczne wielowarstwowych struktur półprzewodnikowych wykonanych z diamentu polikrystalicznego domieszkowanego borem.
Temat w języku angielskim	Synthesis and electrical studies of multilayer semiconductor structures made of boron-doped polycrystalline diamond.
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	Wytworzenie wielowarstwowych struktur półprzewodnikowych z diamentu polikrystalicznego domieszkowanego borem oraz przeprowadzenie szczegółowych badań elektrycznych tych struktur w celu oceny ich zdolności do wykorzystania jako elementów elektronicznych, takich jak kondensatory.
Zadania	<ol style="list-style-type: none"> 1. Przeprowadzenie syntezy diamentu polikrystalicznego domieszkowanego borem oraz wytworzenie wielowarstwowych struktur półprzewodnikowych o zadanych grubościach. 2. Określenie właściwości fizycznych diamentu polikrystalicznego oraz uzyskanych struktur półprzewodnikowych przy pomocy różnych technik charakteryzacji, takich jak pomiar oporności i pojemności. 3. Badanie wpływu rodzaju domieszki boru na właściwości elektryczne uzyskanych struktur półprzewodnikowych. 4. Ocena zdolności uzyskanych struktur do wykorzystania jako elementów elektronicznych, takich jak kondensatory, poprzez badanie ich pojemności i strat dielektrycznych w różnych warunkach.
Literatura	<ol style="list-style-type: none"> 1. Seeding, growth and characterization of nanocrystalline diamond films on various substrates. M. Daenen, O. A. Williams, J. D'Haen, K. Haenen, M. Nesládek; Physica Status Solidi A; Vol 203 Issue 12, September 2006, https://doi.org/10.1002/pssa.200671122. 2. Optimization of Polycrystalline CVD Diamond Seeding with the Use of sp^3/sp^2 Raman Band Ratio; L. Golunski, M. Sobaszek, M. Gardas, M. Gnyba, R. Bogdanowicz, M. Ficek, P. Plotka; Acta Physica Polonica A; Vol 128, p. 136-140; August 2015. 3. Optical and electrical properties of boron doped diamond thin conductive films deposited on fused silica glass substrates; M. Ficek, M. Sobaszek, M. Gnyba, J. Ryl, M. Smietana, J. Jasiński, P. Caban, R. Bogdanowicz; Applied Surface Science; Vol 387, p 846-856; November 2016; https://doi.org/10.1016/j.apsusc.2016.06.165. 4. "Are diamonds a MEMS'best friend?." Auciello, Orlando, et al. IEEE Microwave Magazine 8.6 (2007): 61-75.; DOI: 10.1109/MMM.2007.907816.
Proponowana liczba osób	1
Informacje dodatkowe	Temat wznawiany
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia

Temat	Zmiennoczęstotliwościowy, czteroprzewodowy konduktometr elektrochemiczny.
Temat w języku angielskim	Electrochemical various frequency four point conductometer.
Opiekun pracy	dr inż. Maciej Kokot
Konsultant pracy	prof. dr hab. inż. Tadeusz Ossowski, wydz. Chemii Uniwersytetu Gdańskiego
Recenzent	
Cel pracy	Zaprojektowanie i wykonanie konduktometru przeznaczonego do pomiarów konduktancji i impedancji w środowiskach wodnych, współpracującego z różnorodnymi elektrodami konduktometrycznymi – włącznie z czterozaciskową. Układ powinien stwarzać możliwość pomiarów dla różnych częstotliwości w zakresie od ok. 20 Hz do 20 kHz. Korzystne byłoby, acz nieobowiązkowe, umożliwienie pomiarów spektrometrycznych i prezentacja ich wyników na komputerze.
Zadania	<ol style="list-style-type: none"> 1. Projekt i wykonanie analogowej części zasilającej elektrodę konduktometryczną z uwzględnieniem analizy stabilności układu. 2. Projekt i wykonanie części z przetwornikami A/D i D/A np. z wykorzystaniem układu AD1836A. 3. Projekt, wykonanie i oprogramowanie modułu cyfrowego przetwarzania sygnałów z mikrokontrolerem sterującym. 4. Testowanie gotowego urządzenia, analiza dokładności pomiarowej z wykorzystaniem roztworów wzorcowych o znanej konduktancji. 5. Porównanie właściwości wykonanego urządzenia z istniejącymi rozwiązaniami.
Literatura	<ol style="list-style-type: none"> 1. Ramos at al., „A Four-Terminal Water-Quality-Monitoring Conductivity Sensor”, IEEE Transactions on Instrumentation and Measurement, 2008, DOI:10.1109/TIM.2007.911703 2. Radian at. al, „DSP Based Portable Impedance Measurement Instrument Using Sine-Fitting Algorithms”, Proceedings of the IEEE Instrumentation and Measurement Technology Conference, 2005. IMTC 2005, DOI:10.1109/IMTC.2005.1604294 3. AD1836A – Karta katalogowa Analog Devices
Proponowana liczba osób	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne II stopnia