

Temat	Analiza możliwości integracji czujników i sterowników w systemach sterowania rakieta przy wykorzystaniu magistrali I2C i platformy testowej
Temat w języku angielskim	Analysis of the possibilities of integrating sensors and controllers in rocket control systems using the I2C bus and the test platform
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zbadanie możliwości integracji i współpracy różnorodnych czujników, układów wykonawczych oraz układów zabezpieczających w systemach sterowania rakieta. Do realizacji celu należy wykorzystać zaprojektowaną platformę testową (development board), umożliwiającą eksperymentalną weryfikację komunikacji, niezawodności i wydajności peryferiów w warunkach laboratoryjnych.
Zadania	<ol style="list-style-type: none"> 1. Analiza wymagań systemu raketowego – Określenie funkcji wymaganych od systemu sterowania. 2. Dobór elementów pomiarowych i wykonawczych – Wybór czujników, układów sterujących i zabezpieczeń spełniających wymagania funkcjonalne kompatybilnych z platformą testową. 3. Konfiguracja środowiska testowego – Przygotowanie układu eksperymentalnego wraz platformą testową, umożliwiającego integrację i badanie współpracy czujników oraz sterowników z magistralą I2C. 4. Badania eksperymentalne – <ul style="list-style-type: none"> • Testy współpracy czujników z platformą testową, • Weryfikacja sterowania serwomechanizmami i elementami wykonawczymi w zadaniach symulujących pracę rakiety. 5. Ocena wyników i optymalizacja systemu.
Literatura	<ol style="list-style-type: none"> 1. C. Harrold, <i>Practical Smart Device Design and Construction</i>. Cham, Switzerland: Springer, 2020. 2. Z. Bubnicki, <i>Teoria i algorytmy sterowania</i>. Warszawa, Polska: Wydawnictwo Naukowe PWN, 2012.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Analogowy filtr z regulowaną dobrocią do zastosowań w implantach słuchowych
Temat w języku angielskim	Analogue filter with adjustable quality factor for applications in hearing implants
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie analogowego filtra scalonego CMOS do zastosowań w implantach biomedycznych imitujących działanie ślimaka usznego. Filtr ma być opracowany w technologii CMOS o rozmiarze charakterystycznym 45 nm lub 90 nm. Zakres regulacji współczynnika dobroci filtra powinien wynosić co najmniej 2-10. Konstrukcja filtra powinna umożliwiać skalowanie częstotliwości odcięcia w zakresie co najmniej od 500 Hz do 8 kHz.
Zadania	Przegląd literatury pod kątem rozwiązań filtrów w sztucznych ślimakach usznych. Projekt wybranego rozwiązania filtra: opracowanie schematu elektrycznego i symulacje, opracowanie topografii i ponowne symulacje weryfikujące. Wnioski.
Literatura	<ol style="list-style-type: none"> 1. P.E. Allen, D.R. Holberg, „CMOS Analog Circuits Design,” Oxford University Press, USA, 2002. 2. Publikacje z bazy IEEE, na przykład: W. Jendernalik, J. Jakusz, G. Blakiewicz "Low-Voltage Low-Power Filters with Independent ω_0 and Q Tuning for Electronic Cochlea Applications", Electronics, 2022; T. Ma, C Shen, Y. Wei "Adjustable Filter Bank Design for Hearing Aids System", ISCAS 2019, Sapporo, Japan; J. Karrenbauer, et al. "SmartHeaP - A High-level Programmable, Low Power, and Mixed-Signal Hearing Aid SoC in 22nm FD-SOI", ESSCIRC 2022, Milan, Italy. 3. Dokumentacja technologii CMOS dostępna w Katedrze Systemów Mikroelektronicznych. 4. B. Pankiewicz, W. Jendernalik. Projektowanie full-custom układów scalonych CMOS w środowisku Cadence Virtuoso. Skrypt Politechniki Gdańskiej, 2016.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Generator sygnału DCF77 synchronizowany z sieci Internet za pomocą protokołu NTP
Temat w języku angielskim	DCF77 signal generator synchronized from the Internet using the NTP protocol
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Recenzent	
Cel pracy	Projekt i realizacja na płycie prototypowej z układem FPGA lokalnego generatora sygnału DCF77 z możliwością synchronizacji wysyłanego czasu i daty z serwerami czasu dostępnymi w sieci Internet (za pomocą protokołu NTP przez znajdujące się na płycie prototypowej łącze Ethernet). Urządzenie powinno mieć możliwość konfiguracji (ustawienia adresu IP, maski, adresu bramy, adresów serwerów NTP, a także ewentualnych innych parametrów pracy) za pośrednictwem łącza szeregowego RS232 (dostępne na płycie). Konfiguracja FPGA i zapisane parametry pracy powinny być odtwarzane automatycznie po włączeniu zasilania (urządzenie powinno pracować bez konieczności podłączania komputera).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z sygnałem wytwarzanym przez nadajnik DCF77. 2. Zapoznanie się z protokołem NTP. 3. Opracowanie w języku VHDL lub Verilog modułu zegara czasu rzeczywistego ustawianego przez GPIO oraz generatora sygnału DCF77 sterowanego tym zegarem. 4. Opracowanie projektu systemu mikroprocesorowego działającego w układzie FPGA. System ten ma obsługiwać przez interfejs GPIO pamięć EEPROM konfiguracji (pamięć EEPROM należy dodać do płyty prototypowej) oraz opracowany poprzednio zegar. Dodatkowo system mikroprocesorowy musi w podstawowym stopniu obsługiwać sieć Ethernet (przez dostępny na płycie prototypowej interfejs). 5. Opracowanie oprogramowania obsługującego w podstawowym stopniu komunikację sieciową IP (ARP, UDP, ewentualnie ICMP - PING) - można korzystać z gotowych rozwiązań. 6. Opracowanie podstawowej obsługi klienta protokołu NTP w celu uzyskiwania aktualnego czasu z wybranych serwerów. 7. Opracowanie oprogramowania do konfiguracji i diagnostyki całości systemu przez port szeregowy (RS232). 8. Wykonanie niezbędnych testów i pomiarów. 9. Wnioski z testów i pomiarów oraz podsumowanie.
Literatura	<ol style="list-style-type: none"> 1. Informacje o sygnale DCF77: https://en.wikipedia.org/wiki/DCF77. 2. Informacje o protokole NTP: https://en.wikipedia.org/wiki/Network_Time_Protocol. 3. Strona laboratorium: http://www.ue.eti.pg.gda.pl/puclab. 4. Dokumentacja układu FPGA: www.xilinx.com.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Implementacja scalonego stopnia wejściowego układu odbiornika sygnału USB 3.1
Temat w języku angielskim	Implementation of the integrated input stage of the USB 3.1 signal receiver
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	Michał Uszyński, Synopsys Poland
Recenzent	
Cel pracy	Implementacja odbiornika sygnału USB w technologii CMOS. Odbiornik powinien posiadać programowalny filtr wejściowy (equalizer) wzmacniając składowe sygnału stłumione przez kanał (kabel USB). Dla transmisji z kablem USB sygnał wyjściowy powinien osiągnąć amplitudę wszystkich transmitowanych bitów większą niż 25 mV.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z parametrami sygnałowymi transmisji USB. 2. Zapoznanie się z architekturami układów equalizacji. 3. Opracowanie schematu elektrycznego odbiornika sygnału USB. 4. Opracowanie zestawu testów odbiornika i weryfikacja symulacyjna układu. 5. Opracowanie wyników symulacji, wnioski.
Literatura	<ol style="list-style-type: none"> 1. Behzad Razavi, Design of analog CMOS Integrated Circuits, Second Edition, MCGraw Hill Education 2017. 2. Wybrane artykuły IEEE J. Solid-State Circuits. 3. Cecilia Gimeno Gasca, Santiago Celma Pueyo, Concepción Aldea Chagoyen, CMOS Continuous-Time Adaptive Equalizers for High-Speed Serial Links (Analog Circuits and Signal Processing) ed. 2015 Edition. 4. https://people.engr.tamu.edu/spalermo/ecen689/lecture18_ee689_rx_fir_ctle_eq.pdf. 5. https://blog.teledynelecroy.com/2018/07/continuous-time-linear-equalization.html.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Konduktometr elektrochemiczny
Temat w języku angielskim	Electrical conductivity meter
Opiekun pracy	dr inż. Maciej Kokot
Konsultant pracy	
Recenzent	
Cel pracy	<p>Zaprojektowanie i wykonanie konduktometru przeznaczonego do pomiarów konduktancji w środowiskach wodnych.</p> <p>Konduktometr ma współpracować z elektrodą dwuzaciskową oraz ewentualnie z czterozaciskową.</p> <p>Dodatkowy pomiar i wyświetlanie temperatury roztworu za pomocą termopary lub czujnika Pt100.</p> <p>Pomiary wykonywane za pomocą prądu zmiennego o stałej, wybieranej częstotliwości.</p> <p>Możliwość kalibracji elektrody oraz wpisywania stałej elektrody.</p> <p>Wyświetlanie wartości zmierzonej w mS/cm i ewentualnie w przeliczeniu na stężenie NaCl.</p>
Zadania	<ol style="list-style-type: none"> 1. Przegląd metod pomiaru konduktancji roztworów. 2. Zaprojektowanie części analogowej zasilającej elektrodę pomiarową. 3. Zaprojektowanie części cyfrowej z przetwornikami A/D oraz D/A, mikrokontrolerem i wyświetlaczem. 4. Wykonanie i przetestowanie układu.
Literatura	<ol style="list-style-type: none"> 1. Zbigniew Moroń, Pomiary przewodności elektrycznej cieczy przy małych częstotliwościach. Oficyna wydawnicza Politechniki Wrocławskiej, Wrocław 2003. https://www.dbc.wroc.pl/dlibra/publication/1328/edition/1561/content?&meta-lang=pl. 2. Karty katalogowe mikrokontrolerów i przetworników A/D D/A - Microchip, Analog Devices. 3. Inna - do znalezienia przez dyplomanta.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Mikroelektroniczny system wielokanałowej rejestracji dźwięku
Temat w języku angielskim	Microelectronic multi-channel sound recording system
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie, zrealizowanie, uruchomienie i przeanalizowanie systemu do rejestracji dźwięku pochodzącego z wielu źródeł zewnętrznych w formie cyfrowej. Rejestrowany dźwięk otrzymywany jest poprzez cyfrowe 24-bitowe interfejsy I2S o częstotliwości próbkowania do 108kHz, osobne dla każdego źródła dźwięku. Wszystkie strumienie audio mają być zapisane na karcie SD. Zapisywane dane z różnych kanałów muszą być między sobą zsynchronizowane w czasie.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową platformy sprzętowej (proponowane platformy Digilent Nexys lub Digilent Zybo wraz z PMOD I2S). 2. Uruchomienie zapisu danych na karcie SD. 3. Uruchomienie odczytu strumienia audio z interfejsu I2S z akceleracją sprzętową. 4. Implementacja wielokanałowej rejestracji na karcie SD z wielu interfejsów I2S. 5. Analiza działania systemu, w tym także pod kątem maksymalnej wydajności, maksymalnej liczby kanałów oraz możliwości miniaturyzacji.
Literatura	<ol style="list-style-type: none"> 1. Dokumentacja systemu Vivado www.xilinx.com. 2. Dokumentacja platformy Zybo www.digilent.com. 3. J. Ganssle, The Art of Designing Embedded Systems, Elsevier 2008.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	Znajomość języka HDL (np. VHDL lub Verilog) oraz języka C.
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Miniaturowa konsola do gry ze sterowaniem optycznym
Temat w języku angielskim	Miniature game console with optical control
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie i wykonanie urządzenia typu miniaturowa konsola z możliwością sterowania metodą optyczną przez szybę tablicy lub gabloty, bez bezpośredniego dostępu mechanicznego do urządzenia. Oprócz sterowania optycznego urządzenie powinno posiadać przyciski mechaniczne umożliwiające sterowanie oraz wyświetlacz.
Zadania	<ol style="list-style-type: none"> 1. Rozpoznanie literaturowe problemu. 2. Zaproponowanie głównych komponentów urządzenia oraz projektu schematu. 3. Wykonanie projektu płytki drukowanej. 4. Montaż urządzenia. 5. Wykonanie oprogramowania oraz przeprowadzenie testów.
Literatura	<ol style="list-style-type: none"> 1. Podstawy elektroniki, Augustyn Chwaleba, Bogdan Moeschke, Grzegorz Płoszajski, Piotr Majdak, Piotr Świstak. 2. Podstawy projektowania systemów wbudowanych Valery Salauyou Irena Bułatowa Tomasz Grze Witali Bułatow. 3. Aleksander Kurczyk, "Mikrokontrolery STM32 dla początkujących", BTC 2019.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Miniaturowy samochód zdalnie sterowany
Temat w języku angielskim	Miniature remote-controlled car
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie i zbudowanie miniaturowego pojazdu zdalnie sterowanego radiowo. Karoserię pojazdu należy wykonać w technologii druku 3D, wykorzystując gotowe części mechaniczne takie jak silniki, koła zębate itp. Do sterowania pojazdem należy wykorzystać gotowe moduły mikroelektroniczne dostępne na rynku, wykonując samodzielną integrację oraz oprogramowanie. Pojazd powinien być możliwie tani oraz jak najmniejszy.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z gotowymi modelami i projektami pojazdów zdalnie sterowanych. 2. Wybór odpowiednich modułów mikroelektronicznych. 3. Uruchomienie części elektronicznej pojazdu, w tym: jednostek centralnych nadajnika i odbiornika, toru radiowego sterowania, sterowania silnikami, zasilania i obsługi baterii. 4. Realizacja części mechanicznej pojazdu. 5. Integracja całości, testy, analiza działania, pomiar parametrów. 6. Dokumentacja (np. przewodnik dla chętnych chcących zbudować taki pojazd).
Literatura	<ol style="list-style-type: none"> 1. J. Ganssle, The Art of Designing Embedded Systems, Elsevier 2008.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt i implementacja układu monitorującego poziom spieniania cieczy z dodatkiem CO ₂ oraz sprzężonego z nim urządzenia pozycjonującego naczynie
Temat w języku angielskim	Design and implementation of a system monitoring the level of foaming of liquids with the addition of CO ₂ and a device positioning the vessel coupled with it
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	Zbudowanie i wdrożenie układu obejmującego czujnik poziomu spieniania cieczy z dodatkiem CO ₂ , a także związane z nim urządzenie pozycjonujące naczynie. Opracowany układ ma umożliwić skuteczną kontrolę nad procesem przelewania cieczy, minimalizując przy tym efekty spieniania oraz zapewniając precyzyjne pozycjonowanie naczynia.
Zadania	<ol style="list-style-type: none"> 1. Określenie wymagań funkcjonalnych i parametrów układu. 2. Zaprojektowanie schematu układu obejmującego czujnik poziomu spieniania i urządzenie pozycjonujące. 3. Wybór odpowiednich czujników do monitorowania poziomu spieniania. 4. Dobór i zakup komponentów niezbędnych do zbudowania urządzenia pozycjonującego. 5. Montaż układu elektronicznego, uwzględniającego czujniki i moduły sterujące. 6. Programowanie mikrokontrolera odpowiedzialnego za kontrolę układu. 7. Skonstruowanie urządzenia pozycjonującego naczynie, z uwzględnieniem precyzyjnego sterowania pozycją. 8. Połączenie czujnika poziomu spieniania z urządzeniem pozycjonującym. 9. Testy integracyjne układu. 10. Przeprowadzenie testów funkcjonalnych układu w warunkach laboratoryjnych. 11. Optymalizacja parametrów dla uzyskania najlepszych wyników.
Literatura	<ol style="list-style-type: none"> 1. Roadmap on optical sensors Mário F. S. Ferreira, Enrique Castro Camus, David J. Ottaway; Journal of Optics; 24 July 2017. 2. Projektowanie systemów wbudowanych w układach FPGA; Valery Salauyou, Adam Klimowicz Politechnika Białostocka.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Opracowanie modelu symulacyjnego satelitarnego procesora cyfrowego dla zastosowań telekomunikacyjnych systemów wysokiej przepustowości
Temat w języku angielskim	Development of simulation model for satellite digital processor in high-throughput telecommunication systems applications
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	mgr inż. Paweł Gierjatowicz
Recenzent	
Cel pracy	Celem pracy jest zaimplementowanie transparentnego procesora cyfrowego wysokoprzepustowego systemu telekomunikacji satelitarnej i opracowanie dla niego modelu symulacyjnego wraz z testami jednostkowymi. Zakłada się, że procesor cyfrowy jest blokiem pośredniczącym pomiędzy odbiorczym i nadawczym szykiem fazowanym zrealizowanym w technologii cyfrowego formowania wiązki. Do funkcji procesora zalicza się przynajmniej wejściowy bank filtrów polifazowych realizujących funkcję podziału szerokopasmowego sygnału na kanały, bloku formowania wiązki odbiorczej, dystrybucji sygnału, bloku formowania wiązki nadawczej i banku filtrów polifazowych realizujących funkcję syntezy sygnału szerokopasmowego.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury 2. Opracowanie schematu funkcjonalnego systemu 3. Implementacja części cyfrowej systemu w wybranych języku HDL 4. Opracowanie modelu symulacyjnego zaimplementowanego systemu i testów jednostkowych 5. Badania numeryczne 6. Wnioski
Literatura	<ol style="list-style-type: none"> 1. Hector Fenech, <i>High-Throughput Satellites</i>, Artech House 2021 2. Fred Harris, <i>Multirate Signal Processing for Communication Systems</i>, Prentice Hall, 2004 3. Roger Woods, John McAllister, Gaye Lightbody, Ying Yi, <i>FPGA-based Implementation of Signal Processing Systems</i>, Wiley 2017
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Opracowanie procedury ekstrakcji cech odpowiedzi dla różnych typów charakterystyk częstotliwościowych struktur wysokich częstotliwości
Temat w języku angielskim	Numerical procedure for extraction of response features for various types of frequency characteristics of high-frequency structures
Opiekun pracy	dr hab. inż. Anna Pietrenko-Dąbrowska
Konsultant pracy	
Recenzent	
Cel pracy	Cechy odpowiedzi (ang. response features) to odpowiednio zdefiniowane punkty charakterystyczne odpowiedzi układu. W przypadku wielu układów wysokich częstotliwości zależność tych punktów od zmiennych projektowych jest słabo nieliniowa. Ma to szereg istotnych zalet przy rozwiązywaniu problemów optymalizacyjnych, m.in., przyspieszenie zbieżności algorytmów gradientowych czy realizację optymalizacji globalnej przy użyciu metod formalnie lokalnych. Jednakże definicja i ekstrakcja cech odpowiedzi jest wysoce specyficzna dla danego rodzaju struktury. Celem pracy jest opracowanie procedury numerycznej działającej w środowisku Matlab do efektywnej i niezawodnej ekstrakcji cech odpowiedzi różnych typów charakterystyk częstotliwościowych struktur antenowych i mikrofalowych.
Zadania	<ol style="list-style-type: none"> 1. Opracowanie biblioteki rozważanych struktur wysokich częstotliwości (np. anteny szeroko- i wielopasmowe, transformatory, sprzęgacze) 2. Określenie zunifikowanej struktury danych przekazywanych do i z opracowanej procedury 3. Opracowanie algorytmu do ekstrakcji cech odpowiedzi wybranych układów 4. Testy numeryczne 5. Opracowanie raportu z przeglądem uzyskanych wyników
Literatura	<ol style="list-style-type: none"> 1. A. Pietrenko-Dabrowska, S. Koziel, Response Feature Technology for High-Frequency Electronics. Optimization, Modeling, and Design Automation, Springer, 2024. 2. C. A. Balanis, Antenna Theory, Analysis and Design, J. Wiley, 2016. 3. https://www.mathworks.com
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Opracowanie wzmacniacza mocy audio klasy D wraz z laboratoryjnym stanowiskiem pomiarowym
Temat w języku angielskim	Development of an audio class-D power amplifier with a laboratory measurement stand
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	dr hab. inż. Jacek Jakusz
Recenzent	
Cel pracy	Celem pracy jest wykonanie wzmacniacza mocy na zakres częstotliwości audio pracującego w klasie D oraz układu pomiarowego. Wzmacniacz ma być wykonany w formie testowej płytki PCB z zamontowanym układem scalonym od wybranego producenta (na przykład STMicroelectronics, Maxim Integrated, Analog Devices itd.). Układ pomiarowy ma umożliwiać pomiar parametrów takich jak pasmo częstotliwości, sprawność, zniekształcenia, PSRR itp.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z rozwiązaniami wysokosprawnych wzmacniaczy mocy na zakres m.cz. oraz przegląd dostępnych scalonych wzmacniaczy tego typu. 2. Opracowanie płyty PCB, zamontowanie i uruchomienie scalonego wzmacniacza wraz z niezbędnymi komponentami zgodnie z aplikacją producenta. 3. Opracowanie stanowiska sprzętowego do charakteryzacji wzmacniacza – opracowanie i montaż odpowiednich przyłączy dla przyrządów i mierników laboratoryjnych. 4. Pomiar szeregu charakterystyk i parametrów wzmacniacza. Weryfikacja uzyskanych rezultatów z danymi producenta.
Literatura	<ol style="list-style-type: none"> 1. Eric Gaalaas „Class D Audio Amplifiers: What, Why, and How”, Analog Dialogue 40-06, June (2006), http://www.analog.com/analogdialogue 2. Jun Honda, Jonathan Adams „Class D Audio Amplifier Basics”, International Rectifier (www.irf.com) application note AN-1071, 2005. 3. Class D Amplifiers: Fundamentals of Operation and Recent Developments, Maxim Integrated (www.maximintegrated.com) application note 3977, Jan 31, 2007.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	pH-metr jonometr elektrochemiczny
Temat w języku angielskim	pH-meter Ion-meter
Opiekun pracy	dr inż. Maciej Kokot
Konsultant pracy	
Recenzent	
Cel pracy	<ol style="list-style-type: none"> 1. Zaprojektowanie i wykonanie pH-metru jonometru przeznaczonego do pomiarów pH oraz stężeń jonów w środowiskach wodnych. 2. Miernik ma współpracować z zespoloną szklaną elektrodą pH-metryczną oraz z oddzielnymi elektrodami - jonoczułą i odniesienia. 3. Należy zapewnić możliwość dwupunktowej kalibracji elektrody szklanej. 4. Wartość zmierzona ma być wyświetlana w postaci pH oraz mV.
Zadania	<ol style="list-style-type: none"> 1. Przegląd rozwiązań pomiarów jonometrycznych 2. Zaprojektowanie części analogowej współpracującej z elektrodami elektrochemicznymi. 3. Zaprojektowanie części cyfrowej z przetwornikami A/D oraz D/A, mikrokontrolerem i wyświetlaczem. 4. Wykonanie i przetestowanie układu.
Literatura	<ol style="list-style-type: none"> 1. pH meter principles by Dr J Floor Anthoni (2005) www.seafriends.org.nz/dda/ph.htm. 2. Vanýsek, Petr (2004). "The Glass pH Electrode" (PDF). Interface. No. Summer. The Electrochemical Society. pp. 19–20 https://www.electrochem.org/dl/interface/sum/sum04/IF6-04-Pages19-20.pdf. 3. Karty katalogowe mikrokontrolerów i przetworników A/D D/A - Microchip, Analog Devices. 4. Inna - do znalezienia przez dyplomanta.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Pompa ładunkowa przeznaczona do pracy w pętli PLL
Temat w języku angielskim	Charge pump for PLL applications
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	mgr inż. Cezary Józefowicz, Synopsys Poland
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie pompy ładunkowej przeznaczonej do pracy w pętli PLL w technologii CMOS. Projektowany układ powinien cechować się wysoką precyzją działania, niskim poziomem szumu oraz stosować techniki poprawiające dopasowanie krytycznych elementów układu przedstawione w artykule [2], a dodatkowo powinien zawierać programowalność umożliwiającą szerokie zastosowanie.
Zadania	<ol style="list-style-type: none"> 1. Opracowanie schematu elektrycznego pompy ładunkowej oraz detektora fazy i częstotliwości umożliwiającego sterowanie pompą z wykorzystaniem technik przedstawionych w artykule [2]. 2. Przygotowanie symulacji badających liniowość oraz dokładność projektowanego układu w różnych warunkach pracy (zmiany procesu, napięcia i temperatury). 3. Przygotowanie topografii układu. 4. Powtórzenie symulacji z uwzględnieniem ekstrakcji układu.
Literatura	<ol style="list-style-type: none"> 1. B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, New York, 2001. 2. Liang, Shengyu, Xin, Youze, Liang, Chenglong, Zhang, Bin, Zhang, Yanlong, Wang, Xiaoli, and Geng, Li. "A 0.025% DC Current Mismatch Charge Pump for PLL Applications." 2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (2021): 700-03.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Programowalny dzielnik częstotliwości do pracy w pętli PLL
Temat w języku angielskim	Programmable frequency divider for integer-N PLL
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	mgr inż. Cezary Józefowicz (Synopsys)
Recenzent	
Cel pracy	<p>Celem pracy jest stworzenie projektu układu dzielnika częstotliwości w technologii CMOS począwszy od przygotowania kodu źródłowego w języku opisu sprzętu (VHDL lub Verilog), następnie wykonanie logicznej syntezy, a skończywszy na wykonaniu topografii metodą P&R. Projektowany układ powinien być wszechstronny i pasować do różnorodnych pętli PLL generujących sygnały zegarowych dla nowoczesnych interfejsów szeregowych takich jak USB, PCI-E i UCIE.</p> <p>Design programmable frequency divider for integer-N PLL in CMOS process with following steps: HDL description, logic synthesis, layout generation with P&R. Design should be versatile and applicable for different PLLs generating clock signals for modern serial interfaces like USB, PCI-E and UCIE.</p>
Zadania	<ol style="list-style-type: none"> 1. Przygotowanie kodu w języku HDL 2. Weryfikacja funkcjonalna kodu źródłowego 3. Wykonanie syntezy układu 4. Przygotowanie topografii układu przy użyciu P&R 5. Przeprowadzenie analizy STA <ol style="list-style-type: none"> 1. Prepare HDL source code 2. Functional verification of source code 3. Run logic synthesis 4. Prepare layout with using of Place and Route flow 5. Run STA analysis
Literatura	<ol style="list-style-type: none"> 1. S. Palnitkar, "Verilog HDL, A Guide to Digital Design and Synthesis", Prentice Hall, 2003. 2. Dokumentacja oprogramowania CAD Cadence - dostępna w Katedrze Systemów Mikroelektronicznych. 3. Dokumentacja technologii GPD45 - dostępna w Katedrze Systemów Mikroelektronicznych. 4. Kurs Cadence RTL-to-GDSII Flow v5.0 (Online), www.suport.cadence.com.
Proponowana liczba autorów	1
Informacje dodatkowe	Temat przygotowany przy współpracy z firmą Synopsys
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt detektor fazy/częstotliwości do pętli PLL w technologii CMOS
Temat w języku angielskim	Phase/frequency detector design for PLL loop in CMOS technology
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Należy zaprojektować detektor fazy/częstotliwości przeznaczony do pracy w pętli synchronizacji fazy (PLL). Projekt należy wykonać w technologii CMOS. Detektor powinien charakteryzować się parametrami: 1) napięcie zasilania 1,2 V; 2) górna częstotliwość graniczna porównywanych sygnałów 50 kHz; 3) zakres napięcia wyjściowego od 0,2 V do 1 V; 4) minimalna rozdzielczość fazy 2 stopnie.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową i zasadą działania detektorów fazy i częstotliwości oraz pętli synchronizacji fazy (PLL) 2. Opracowanie schematu detektora fazy/częstotliwości 3. Wykonanie serii symulacji weryfikujących poprawność działania detektora 4. Opracowanie topografii masek detektora w technologii CMOS 5. Wykonanie końcowych testów funkcjonalnych potwierdzających osiągnięcie założonych parametrów.
Literatura	<ol style="list-style-type: none"> 1. B. Razavi, „Design of Analog CMOS Integrated Circuits”, Mc Graw Hill, 2001. 2. T.C. Carousone, D.A. Johns, K.W. Martin, „Analog Integrated Circuit Design”, Wiley, 2012. 3. P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, Oxford University Press, 2002.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt dwupolaryzacyjnego promiennika dla nadawczych i odbiorczych systemów komunikacji satelitarnej pracujących jednocześnie w paśmie Ku i Ka
Temat w języku angielskim	Design of dual-polarized antenna element for transmit and receive satellite communication systems working simultaneously in Ku and Ka bands
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	mgr inż. Paweł Gierjatowicz
Recenzent	
Cel pracy	Celem pracy jest projekt w symulatorze elektromagnetycznym dwupolaryzacyjnego elementu antenowego (nadawczego i odbiorczego) dla potrzeb terminala komunikacji satelitarnej pracującego jednocześnie w zakresie pasm Ku i Ka.
Zadania	<ol style="list-style-type: none"> 1. Przegląd literatury i analiza porównawcza 2. Opracowanie wymagań systemowych 3. Wybór wstępnego rozwiązania 4. Modelowanie elektromagnetyczne 5. Optymalizacja 6. Dyskusja wyników numerycznych
Literatura	<ol style="list-style-type: none"> 1. IEEE Xplore. 2. Yusheng Yin, Advanced Phased-Arrays and Techniques for 5G Multi-Standard Applications and Carrier Aggregation at 24-29 GHz and 37-40 GHz, PhD Dissertation, 2020. 3. Ahmed Nafe, Millimeter-Wave Single- and Dual-Polarized 2x2 MIMO Phased Arrays and In-Situ Over-the-Air System-Level Self-Calibration Techniques for 5G Applications, PhD Dissertation, 2020. 4. Rudraishwarya Banerjee, Design of Novel Phased Array Antennas with Integrated Beamforming Network and Dual Band Shared Aperture Feed Source for Reflector Antenna for Satellite Communication Applications, PhD Dissertation, 2023.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt komparatora o niskim napięciu niezrównoważenia
Temat w języku angielskim	Design of low-offset comparator
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	mgr inż. Michał Uszyński (Synopsys)
Recenzent	
Cel pracy	Należy zaprojektować komparator w technologii CMOS, w którym wykorzystuje się technikę dynamicznej redukcji napięcia niezrównoważenia opisaną w podanej literaturze (pozycje 1, 2).
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z techniką dynamicznej redukcji napięcia niezrównoważenia. 2. Opracowanie schematów komponentów komparatora: wzmacniacz operacyjny, układ formowania sygnałów zegarowych, klucze CMOS. 3. Wykonanie serii symulacji weryfikujących działanie komparatora. 4. Opracowanie topografii masek komparatora w technologii CMOS. 5. Wykonanie serii testów pozwalających na określenie uzyskanych parametrów.
Literatura	<ol style="list-style-type: none"> 1. T.C. Carousone, D.A. Johns, K.W. Martin, „Analog Integrated Circuit Design”, Wiley, 2012, chapter 10. 2. P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, Oxford University Press, 2002, chapter 8. 3. B. Razavi, „Design of analog CMOS Integrated Circuits”, 2nd Ed., McGraw Hill Education 2017. 4. Artykuły naukowe IEEE.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt liniowego scalonego stabilizatora napięcia
Temat w języku angielskim	Design of a linear integrated voltage regulator
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	mgr inż. Michał Uszyński (Synopsys)
Recenzent	
Cel pracy	Należy opracować stabilizator napięcia przeznaczony do integracji w układzie scalonym w technologii CMOS. Stabilizator powinien charakteryzować się parametrami: 1) napięcie zasilania 1,8 V +/-10%; 2) napięcie wyjściowe 0,9 V +/-10%; 3) prąd wyjściowy od 0 mA do 10 mA; 4) pojemność obciążająca wyjście od 0 pF do 10 pF.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową i zasadą działania stabilizatorów napięcia projektowanych w technologii CMOS. 2. Opracowanie schematu stabilizatora. 3. Wykonanie serii symulacji weryfikujących działanie stabilizatora. 4. Opracowanie topografii masek stabilizatora w technologii CMOS. 5. Wykonanie serii testów pozwalających na określenie uzyskanych parametrów.
Literatura	<ol style="list-style-type: none"> 1. T.C. Carousone, D.A. Johns, K.W. Martin, „Analog Integrated Circuit Design”, Wiley, 2012. 2. P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, Oxford University Press, 2002. 3. B. Razavi, „Design of analog CMOS Integrated Circuits”, 2nd Ed., McGraw Hill Education 2017. 4. J. Torres, M. El-Nozahi, and others, „Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison”, IEEE Cir. Sys. Magazine, 2014. 5. Artykuły naukowe IEEE
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt scalonego wzmacniacza o programowanym wzmocnieniu do systemów akwizycji danych
Temat w języku angielskim	Design of an integrated amplifier with programmable gain for data acquisition systems
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie uniwersalnego scalonego wzmacniacza w technologii 45 nm CMOS przeznaczonego do systemów akwizycji danych. Tego typu wzmacniacze mają zastosowanie w obwodach wejściowych łańcucha konwersji analogowo-cyfrowej w celu kondycjonowania sygnału do poziomu odpowiedniego dla przetwornika analogowo-cyfrowego. Wzmacniacz ma posiadać programowane cyfrowo wzmocnienie i pracować z typowym napięciem zasilania dla technologii CMOS 45 nm - 1,2 V. Należy zaprojektować schemat elektryczny i topografię filtra wykorzystując oprogramowanie Cadence.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z realizacjami scalonych wzmacniaczy o programowanym wzmocnieniu. 2. Opracowanie schematu elektrycznego wzmacniacza. 3. Zaprojektowanie topografii wzmacniacza. 4. Przeprowadzenie szczegółowej weryfikacji układu. 5. Opracowanie uzyskanych wyników.
Literatura	<ol style="list-style-type: none"> 1. P.E. Allen, D.R. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002. 2. D. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc., 2012. 3. B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Education, 2017.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Projekt stabilizatora napięcia w technologii CMOS
Temat w języku angielskim	Voltage regulator design in CMOS technology
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Należy opracować stabilizator napięcia przeznaczony do integracji w układzie scalonym w technologii CMOS. Stabilizator powinien charakteryzować się parametrami: 1) napięcie zasilania od 1 V do 1,2 V; 2) napięcie wyjściowe 0,8 V; 3) maksymalny prąd wyjściowy 1 mA; 4) prąd spoczynkowy mniejszy niż 20 μ A.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z budową i zasadą działania stabilizatorów napięcia projektowanych w technologii CMOS. 2. Opracowanie schematu stabilizatora. 3. Wykonanie serii symulacji weryfikujących działanie stabilizatora. 4. Opracowanie topografii masek stabilizatora w technologii CMOS. 5. Wykonanie końcowych testów funkcjonalnych potwierdzających osiągnięcie założonych parametrów.
Literatura	<ol style="list-style-type: none"> 1. T.C. Carousone, D.A. Johns, K.W. Martin, „Analog Integrated Circuit Design”, Wiley, 2012. 2. P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, Oxford University Press, 2002. 3. J. Torres, M. El-Nozahi, and others, „Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison”, IEEE Cir. Sys. Magazine, 2014.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Przyspieszona optymalizacja gradientowa struktur antenowych z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości
Temat w języku angielskim	Accelerated gradient-based optimization of antenna structures with variable-fidelity models and sparse sensitivity updates
Opiekun pracy	dr hab. inż. Anna Pietrenko-Dąbrowska
Konsultant pracy	
Recenzent	
Cel pracy	W projektowaniu współczesnych systemów antenowych wykorzystywane są pełnofalowe symulacje elektromagnetyczne: dokładne, ale kosztowne obliczeniowo. Koszt wielokrotnych analiz wymaganych przez procedury optymalizacji parametrów jest często praktycznie nieakceptowalny. Celem pracy jest przyspieszenie optymalizacji poprzez wykorzystanie modeli symulacyjnych o różnych stopniach dokładności oraz ograniczenie częstotliwości aktualizacji czułości przez selektywną aktualizację formułą Broydena.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z algorytmem do lokalnej optymalizacji gradientowej 2. Opracowanie procedury optymalizacji z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości 3. Testy numeryczne 4. Opracowanie raportu z przeglądem uzyskanych wyników
Literatura	<ol style="list-style-type: none"> 1. A. Pietrenko-Dabrowska, S. Koziel, "Expedited gradient-based design closure of antennas using variable-resolution simulations and sparse sensitivity updates," IEEE Trans. Antennas Propag., vol. 70, no. 6, pp. 4925-4930, 2022. 2. J. Nocedal, S. J. Wright, Numerical optimization, Springer, 2001. 3. https://www.mathworks.com
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Realizacja analogowego filtra z niezależną regulacją dobroci i częstotliwości do zastosowań w elektronicznych implantach ślimaka usznego w technologii scalonej CMOS GPDK 045
Temat w języku angielskim	Implementation of an analogue filter with independent quality and frequency control for electronic cochlear implant applications in CMOS GPDK 045 integrated technology
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest realizacja filtra bikwadratowego z niezależną regulacją dobroci i częstotliwości granicznej. Filtr ma pracować w zakresie częstotliwości akustycznych, ponadto ma być zasilany napięciem 1,2 V, pobierać moc mniejszą niż 100 μ W i posiadać dynamikę co najmniej 40 dB. Należy opracować schemat elektryczny i topografię filtra wykorzystując oprogramowanie Cadence. Projekt należy wykonać dla technologii CMOS 45 nm.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z realizacjami scalonymi CMOS filtrów analogowych. 2. Opracowanie schematu elektrycznego filtra. 3. Zaprojektowanie topografii filtra. 4. Przeprowadzenie szczegółowej weryfikacji układu. 5. Opracowanie uzyskanych wyników.
Literatura	<ol style="list-style-type: none"> 1. P.E. Allen, D.R. Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002. 2. B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Education, 2017. 3. D. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, Inc., 2012. 4. Lyon, R.F.; Mead, C. An analog electronic cochlea. IEEE Trans. Acoust., Speech Signal Process. 1988, 36, 1119–1134. 5. Dokumentacja technologii CMOS GPDK 045 – dostępna w Katedrze Systemów Mikroelektronicznych.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Sprzętowa realizacja efektów gitarowych
Temat w języku angielskim	Hardware implementation of guitar effects
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie systemu sprzętowego przetwarzania strumienia audio pochodzącego z gitary. Należy wybrać, zrealizować i przebadать wybrane metody przetwarzania strumienia audio do celów realizacji efektów gitarowych. Do realizacji należy wykorzystać platformę FPGA z mikroprocesorem oraz odpowiednie moduły przetworników A/C i C/A. W ramach pracy należy także wykonać analizę problemu i odpowiednio podzielić wymagane funkcjonalności pomiędzy realizację sprzętową i programową.
Zadania	<ol style="list-style-type: none"> 1. Zbudować sprzętowy tor systemu audio na platformie FPGA (tj. wejście audio oraz wyjście audio). 2. Dodać prosty efekt gitarowy do toru audio w celu nabrania doświadczenia w dodawaniu bardziej zaawansowanych efektów. 3. Wybrać docelowe algorytmy przetwarzania dźwięku i realizacji efektów gitarowych. 4. Zrealizować wybrane algorytmy w postaci programowej (np. C++, Matlab, Python itp.). 5. Dokonać analizy algorytmów pod kątem realizacji sprzętowo-programowej. 6. Wykonać partycjonowanie algorytmów na część sprzętową i programową. 7. Zbudować i uruchomić system do realizacji efektów gitarowych wraz z interfejsem użytkownika (np. z wykorzystaniem przycisków, diod LED oraz wyświetlaczy LED) 8. Wykonać analizę zrealizowanego systemu oraz zbadać jego właściwości elektryczne oraz funkcjonalne.
Literatura	<ol style="list-style-type: none"> 1. Ross Kirk, Andy Hunt, Digital Sound Processing for Music and Multimedia Elsevier LTD, Oxford; Edycja 1 (29 marca 1999). 2. Zynq-7000 SoC Technical Reference Manual (online), Available: https://www.xilinx.com/support/documentation/user_guides/ug585-Zynq-7000-TRM.pdf.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Sprzętowy akcelerator do przetwarzania wyrażeń regularnych zrealizowany w oparciu o płytę prototypową z układem FPGA
Temat w języku angielskim	Hardware accelerator for regular expressions processing based on the FPGA prototype board
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Recenzent	
Cel pracy	Projekt i realizacja w układzie FPGA sprzętowego akceleratora przetwarzającego wybrane elementy wyrażeń regularnych.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z wyrażeniami regularnymi, ćwiczenia z komendą grep, specyfikacja szczegółowych założeń akceleratora. 2. Opracowanie w języku VHDL lub Verilog projektu akceleratora przetwarzającego wybrane elementy wyrażeń regularnych. 3. Opracowanie oprogramowania do testowania i oceny wydajności akceleratora. 4. Wnioski z testów oraz pomiarów wydajności i podsumowanie.
Literatura	<ol style="list-style-type: none"> 1. Strona laboratorium ISP: http://www.ue.eti.pg.gda.pl/isp. 2. Dokumentacja układu FPGA: www.xilinx.com. 3. Gogte, Vaibhav, et al. "HARE: Hardware accelerator for regular expressions." Microarchitecture (MICRO), 2016 49th Annual IEEE/ACM International Symposium on. IEEE, 2016.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Układ konwersji S2D dla sygnału zegarowego wysokiej częstotliwości
Temat w języku angielskim	Single-ended to differential converter for high-speed clock signal
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	mgr inż. Cezary Józefowicz, Synopsys Poland
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie układu S2D dla sygnału zegarowego wysokiej częstotliwości w technologii CMOS przy użyciu architektury zaproponowanej w artykule [2]. Projektowany układ powinien cechować się możliwością pracy z szerokimi zakresami wejściowej częstotliwości oraz wejściowego współczynnika wypełnienia, a także zapewniać wyjściowej parze sygnałów współczynnik wypełnienia bliski 50%.
Zadania	<ol style="list-style-type: none"> 1. Opracowanie schematu elektrycznego układu konwersji S2D z wykorzystaniem architektury przedstawionej w artykule [2]. 2. Przygotowanie symulacji badających funkcjonalność oraz zakres pracy układu w różnych warunkach pracy (zmiany procesu, napięcia i temperatury). 3. Przygotowanie topografii układu. 4. Powtórzenie symulacji z uwzględnieniem ekstrakcji układu.
Literatura	<ol style="list-style-type: none"> 1. B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, New York, 2001. 2. Z. Zhang, G. Zhu and C. P. Yue, "A 2-to-10 GHz 1.4-mW 50% Duty-Cycle Corrector in 40-nm CMOS Process (Invited Paper)," <i>2018 IEEE International Conference on Electron Devices and Solid State Circuits (EDSSC)</i>, Shenzhen, China, 2018, pp. 1-2.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Układ korygujący współczynnik wypełnienia sygnału zegarowego wysokiej częstotliwości
Temat w języku angielskim	Duty cycle corrector for high-speed clock signal
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	mgr inż. Cezary Józefowicz, Synopsys Poland
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie układu korygującego współczynnik wypełnienia sygnału zegarowego wysokiej częstotliwości w technologii CMOS przy użyciu architektury zaproponowanej w artykule [2]. Projektowany układ powinien cechować się możliwością pracy z szerokimi zakresami wejściowej częstotliwości oraz wejściowego współczynnika wypełnienia.
Zadania	<ol style="list-style-type: none"> 1. Opracowanie schematu elektrycznego układu korygującego współczynnik wypełnienia z wykorzystaniem architektury przedstawionej w artykule [2]. 2. Przygotowanie symulacji badających funkcjonalność oraz zakres pracy układu w różnych warunkach pracy (zmiany procesu, napięcia i temperatury). 3. Przygotowanie topografii układu. 4. Powtórzenie symulacji z uwzględnieniem ekstrakcji układu.
Literatura	<ol style="list-style-type: none"> 1. B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, New York, 2001. 2. Hong-Yi Huang, Chia-Ming Liang and Shi-Jia Sun, "Low-power 50% duty cycle corrector," <i>2008 IEEE International Symposium on Circuits and Systems (ISCAS)</i>, Seattle, WA, USA, 2008, pp. 2362-2365, doi: 10.1109/ISCAS.2008.4541929.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Układ sortujący elementy poruszające się na taśmociągu na podstawie ich koloru
Temat w języku angielskim	System for sorting items by color on a conveyor belt
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie i wykonanie prototypu taśmociągu oraz układu, który sortuje elementy poruszające się po nim na podstawie ich koloru. System zostanie zrealizowany w oparciu o mikrokontroler STM32.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z problemem. 2. Dobranie głównych elementów układu. 3. Zaprojektowanie i budowa modelu taśmociągu wraz z układem sortowania. 4. Wykonanie oprogramowania do rozpoznawania koloru i sterowania sortowaniem. 5. Testy działania systemu.
Literatura	<ol style="list-style-type: none"> 1. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji", BTC 2018 2. 2. Aleksander Kurczyk, "Mikrokontrolery STM32 dla początkujących", BTC 2019 3. 3. Karta katalogowa modułu uruchomieniowego Nucleo64 i mikrokontrolerem z rodziny STM32 https://www.st.com/resource/en/datasheet/stm32l476je.pdf.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Zegar z czujnikiem temperatury i odbiornikiem radiowym danych telemetrycznych
Temat w języku angielskim	Zegar z czujnikiem temperatury i odbiornikiem radiowym danych telemetrycznych
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie i skonstruowanie zegara z wyświetlaczem umożliwiającym wyświetlenie informacji o czasie i temperaturze oraz dodatkowych danych pobranych z nadajnika radiowego danych telemetrycznych. Urządzenie powinno działać przy zasilaniu stałym napięciem 5 V. Urządzenie powinno mieć wysokość nie większą niż 25 mm. Wyświetlacz urządzenia powinien mieć przekątną w zakresie od 7,5 cm do 15 cm. Należy przewidzieć możliwość synchronizowania zegara za pomocą danych telemetrycznych. Część radiowa powinna pracować na jednym z pasm ISM.
Zadania	<ol style="list-style-type: none"> 1. Rozpoznanie problemu. 2. Zaproponowanie komponentów. 3. Zaprojektowanie schematu. 4. Zaprojektowanie płytki drukowanej i montaż. 5. Stworzenie oprogramowania. 6. Uruchomienie i testy urządzenia.
Literatura	<ol style="list-style-type: none"> 1. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji". 2. K. Paprocki, "Mikrokontrolery STM32 w praktyce".
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie

Temat	Zewnętrzny czujnik bezprzewodowy danych środowiskowych oraz GPS
Temat w języku angielskim	External wireless GPS and environmental data sensor
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem projektu jest wykonanie zewnętrznego czujnika mierzącego temperaturę, wilgotność, ciśnienie atmosferyczne, natężenie promieniowania UV oraz stężenie cząstek stałych w powietrzu (PM). Dodatkowo urządzenie ma być wyposażone w moduł GPS do synchronizowania zegara. Wyniki pomiarów będą transmitowane bezprzewodowo. Urządzenie ma być zasilane z akumulatora, który musi pozwolić na nieprzerwaną pracę przez co najmniej 1 miesiąc. Urządzenie będzie oparte o mikrokontroler z rodziny STM32, część radiowa w paśmie ISM. Należy przewidzieć możliwość zmiany częstotliwości pomiarów.
Zadania	<ol style="list-style-type: none"> 1. Zapoznanie się z problemem. 2. Wykonanie projektu schematu elektrycznego. 3. Wykonanie projektu płytki drukowanej. 4. Wykonanie oprogramowania. 5. Zaprojektowanie obudowy urządzenia. 6. Montaż urządzenia. 7. Wykonanie testów.
Literatura	<ol style="list-style-type: none"> 1. M. Szumski, "Mikrokontrolery STM32 w systemach sterowania i regulacji" 2. https://wiki.st.com/stm32mcu.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie