

Temat	Autonomiczny system pozycjonowania anteny kierunkowej dla satelitów LEO z korekcją magnetometryczną
Temat w języku angielskim	Autonomous Directional Antenna Positioning System for LEO Satellites with Magnetometer-Based Correction
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	1. Zaprojektować i uruchomić prototyp urządzenia, które automatycznie pobiera aktualne dane orbitalne z serwera i na ich podstawie wyznacza w czasie rzeczywistym azymut i elewację satelity dla lokalizacji stacji odbiorczej. 2. Zaimplementować sterowanie napędami rotatora anteny w pętli sprzężenia zwrotnego, tak aby możliwe było stabilne śledzenie satelitów LEO podczas przelotu. 3. Zintegrować czujnik magnetyczny (magnetometr) jako źródło informacji o bieżącej orientacji oraz opracować procedurę kalibracji i oceny wpływu zakłóceń (silniki, elementy metalowe) na poprawność korekcji. 4. Przeprowadzić testy eksperymentalne i przygotować ilościową ocenę jakości śledzenia (dokładność, stabilność, odporność na zakłócenia) na podstawie logów systemu.
Zadania	1. Analiza wymagań i kryteriów oceny (metryki, scenariusze testów). 2. Integracja mechaniki rotatora AZ/EL i montaż anteny. 3. Projekt elektroniki sterującej (napędy, zabezpieczenia, czujniki krańcowe). 4. Pobieranie i obsługa danych orbitalnych z serwera (aktualizacja, buforowanie). 5. Wyznaczanie trajektorii śledzenia satelity (AZ/EL w czasie dla lokalizacji stacji). 6. Sterowanie ruchem z korekcją sprzężenia zwrotnego (magnetometr: kalibracja/filtracja i bieżąca korekcja). 7. Rejestracja danych i interfejs obsługi (logi, podgląd stanu, uruchamianie śledzenia). 8. Testy eksperymentalne i analiza wyników (porównania trybów, wnioski). 9. Dokumentacja i instrukcje uruchomienia (w tym kalibracja i ograniczenia).
Literatura	1. F. R. Hoots and R. L. Roehrich, Spacetrack Report No. 3: Models for Propagation of NORAD Element Sets, Aerospace Defense Center, Peterson AFB, CO, USA, Tech. Rep. No. 3, Dec. 1980, package compiled by T. S. Kelso, Dec. 31, 1988. 2. CCSDS, Orbit Data Messages, CCSDS 502.0-B-3, Issue 3, CCSDS, April 2023. 3. T. Ozyagcilar, Calibrating an eCompass in the Presence of Hard- and Soft-Iron Interference, Application Note AN4246, Rev. 4.0, NXP Semiconductors (Freescall Semiconductor), Nov. 2015.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Gra edukacyjna "Breadboard Boss" - budowanie układów na płytce stykowej (NI ELVIS III) z automatyczną weryfikacją połączeń i konfiguracji przyrządów
Temat w języku angielskim	Educational Game Breadboard Boss Breadboard Circuit Building (NI ELVIS III) with a Check Circuit Feature (Connections and Instruments)
Opiekun pracy	dr inż. Łukasz Gołuński
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie działającej w przeglądarce internetowej gry edukacyjnej służącej do nauki budowy układów elektronicznych na płytce stykowej (w układzie zgodnym z NI ELVIS III), w której: • prowadzący przygotowuje kolejne poziomy (zadania) na podstawie schematu odniesienia, • student buduje układ metodą przeciągnij i upuść (elementy, przewody, przyrządy), • gra automatycznie weryfikuje poprawność rozwiązania w sposób logiczny i topologiczny: zgodność połączeń węzłów, poprawną orientację elementów spolaryzowanych oraz poprawne podłączenie i ustawienie przyrządów (w szczególności multimetru), • system zapisuje wyniki (czas, liczba prób, typy błędów) na serwerze i umożliwia zbiorczy eksport danych do oceny. Efektem pracy ma być działający prototyp gry z zestawem przykładowych poziomów, mechanizmem tworzenia nowych poziomów oraz zestawem testów potwierdzających poprawność weryfikacji.
Zadania	1. Analiza wymagań (użytkownik/student, prowadzący/autor poziomów) oraz przygotowanie listy typowych błędów, które gra ma wykrywać. 2. Opracowanie modelu danych: opis płytki stykowej, elementów (piny, orientacja), przewodów, przyrządów oraz poziomu (zadania). 3. Implementacja mechanizmu importu schematu odniesienia (z wybranego formatu plików) i zamiany go na strukturę połączeń wykorzystywaną przez grę. 4. Opracowanie biblioteki elementów w wersji podstawowej: rezystory, kondensatory, diody, potencjometr, przełącznik, przycisk, głośnik, wejście/wyjście audio, źródło zasilania stałego, generator, oscyloskop, multimetr oraz tranzystory. 5. Przygotowanie narzędzia dla prowadzącego do tworzenia poziomów: dodawanie elementów do biblioteki (w tym wgrywanie grafiki i oznaczanie pinów), definiowanie wymagań poziomu (w tym wymagane podłączenia i nastawy przyrządów) oraz publikacja poziomu na serwerze. 6. Implementacja interfejsu gry dla studenta: plansza płytki stykowej, panel elementów, mechanizm drag and drop, możliwość budowy połączeń oraz uruchomienia funkcji Sprawdź. 7. Implementacja algorytmu weryfikacji poprawności: porównanie połączeń węzłów z rozwiązaniem odniesienia, sprawdzanie orientacji elementów spolaryzowanych oraz reguł poprawnego podłączenia. 8. Implementacja warstwy serwerowej: konta/identyfikacja użytkowników, zapis podejść i wyników oraz eksport zbiorczy wyników (np. CSV/XLSX) dla prowadzącego. 9. Opracowanie zestawu poziomów demonstracyjnych.

	10. Przygotowanie dokumentacji: instrukcja dodawania nowych elementów i poziomów, instrukcja użytkownika oraz opis ograniczeń i możliwych kierunków rozwoju.
Literatura	1. Stanford University, EE133, SPICE Quick Reference Sheet v1.0, course handout, Winter 2001 2. A. Abiad, A. Grigoriev, and S. Niemzok, Printed circuit boards isomorphism: An experimental study, Computers & Industrial Engineering, vol. 148, Art. no. 106715, Oct. 2020, doi: 10.1016/j.cie.2020.106715. 3. F. G. M. Silva, Practical Methodology for the Design of Educational Serious Games, Information, vol. 11, no. 1, art. no. 14, 2020, doi: 10.3390/info11010014.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Implementacja filtrów FIR z mnożnikami CSD w układzie FPGA
Temat w języku angielskim	Implementation of FIR filters with CSD multipliers in an FPGA
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Recenzent	
Cel pracy	Projekt, implementacja i weryfikacja sprzętowa w układzie FPGA modułu realizującego filtr FIR z mnożnikami CSD (Canonical Signed Digit).
Zadania	1. Przegląd literatury. Zapoznanie się z arytmetyką CSD. 2. Opracowanie w języku VHDL lub Verilog modułu filtru FIR z arytmetyką CSD. 3. Opracowanie odpowiedniego oprogramowania typu testbench i przeprowadzenie symulacji. 4. Przeprowadzenie weryfikacji sprzętowej modułu filtru w układzie FPGA. 5. Wnioski z symulacji, testów oraz pomiarów wydajności i podsumowanie.
Literatura	1. Yamada M., Nishihara A., High-speed FIR digital filter with CSD coefficients implemented on FPGA. Proceedings of the Asia and South Pacific Design Automation Conference 2001. Yokohama, Japan. 2001, pp. 7,8. doi: 10.1109/ASPDAC.2001.913262. 2. Arar S., An Introduction to Canonical Signed Digit Representation. [online]. 2017. [dostęp: 7 stycznia 2026]. Dostępny w Internecie: https://www.allaboutcircuits.com/technical-articles/an-introduction-to-canonical-signed-digit-representation/. 3. Robertson N., Canonic Signed Digit (CSD) Representation of Integers. [online]. 2017. [dostęp: 7 stycznia 2026]. Dostępny w Internecie: https://www.dsprelated.com/showarticle/1030.php.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Implementacja pamięci TCAM w układzie FPGA
Temat w języku angielskim	Implementation of TCAM memory in an FPGA
Opiekun pracy	dr inż. Miron Kłosowski
Konsultant pracy	
Recenzent	
Cel pracy	Projekt, implementacja i weryfikacja sprzętowa w układzie FPGA modułu realizującego funkcję pamięci TCAM (Ternary Content-Addressable Memory). Układ FPGA wykorzystany w pracy nie zawiera gotowych sprzętowych modułów TCAM.
Zadania	1. Przegląd literatury. 2. Zapoznanie się z budową i działaniem pamięci typu TCAM. 3. Opracowanie w języku VHDL lub Verilog modułu pamięci TCAM. 4. Opracowanie odpowiedniego oprogramowania typu testbench i przeprowadzenie symulacji. 5. Przeprowadzenie weryfikacji sprzętowej modułu w układzie FPGA. 6. Wnioski z symulacji, testów oraz pomiarów wydajności i podsumowanie.
Literatura	1. Irfan M., Sanka A.I., Ullah Z., Cheung R.C.C., Reconfigurable content-addressable memory (CAM) on FPGAs: A tutorial and survey. Future Generation Computer Systems. 2022, Vol. 128, pp. 451-465. ISSN 0167-739X. doi: 10.1016/j.future.2021.09.037. 2. Govindarajulu S. i in. Implementation of Parallel TCAM with Soft-Error-Resilient SRAM for High-Scalability Search Applications. Journal of Engineering Sciences. 2022, Vol. 13, Issue 12, pp. 123-133. ISSN:0377-9254. doi:10.15433/JES.2022.V13I12.43P.14. 3. Ullah I., Yang J.S., Chung J., ER-TCAM: A Soft-Error-Resilient SRAM-Based Ternary Content-Addressable Memory for FPGAs. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2020, Vol. 28, no. 4, pp. 1084-1088. doi: 10.1109/TVLSI.2020.2968365.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Linia opóźniająca o programowanym opóźnieniu w technologii CMOS
Temat w języku angielskim	Delay line with programmable delay in CMOS technology
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Należy zaprojektować linię opóźniającą jednobitowy sygnał cyfrowy przeznaczoną do pętli synchronizacji opóźnień (DLL). Projekt należy wykonać w technologii CMOS. Linia opóźniająca powinna spełniać wymagania: 1) napięcie zasilania nie większe niż 1,2V; 2) górna częstotliwość graniczna przetwarzanych sygnałów co najmniej 100 MHz; 3) zakres regulacji opóźnienia od 10 ns do 100 ns; 4) opóźnienie programowane z krokiem nie większym niż 10 ns.
Zadania	1. Zapoznanie się z budową i zasadą działania programowanych linii opóźniających 2. Opracowanie schematu linii opóźniającej 3. Wykonanie serii symulacji weryfikujących poprawność działania linii opóźniającej 4. Opracowanie topografii masek linii opóźniającej w technologii CMOS 5. Wykonanie końcowych testów funkcjonalnych potwierdzających osiągnięcie założonych parametrów.
Literatura	1. B. Razavi, Design of Analog CMOS Integrated Circuits, Mc Graw Hill, 2001. 2. Sunghwa Ok, et al., An Antiharmonic, Programmable, DLL-Based Frequency Multiplier for Dynamic Frequency Scaling, IEEE Tran. VLSI, 2010. 3. Chuan-Kang Liang et al., An All-Digital Fast-Locking Programmable DLL-Based Clock Generator, IEEE Tran. CAS-I, 2008. 4. Chao-Chyun Chen, A DLL-Based Variable-Phase Clock Buffer, IEEE Tran. CAS-II, 2007.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Miniaturowy odbiornik strumienia audio
Temat w języku angielskim	Miniature audio stream receiver
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie, wykonanie, uruchomienie i pomiary parametrów odbiornika strumienia audio z sieci internetowej. Odbiornik ma za zadanie odbierać strumień audio z sieci Wi-Fi, a następnie dekodować go i wysyłać w postaci analogowej na wyjście analogowe. W ramach pracy należy opracować także interfejs użytkownika oraz zaprojektować zarządzanie zasilaniem. Do pracy można wykorzystać gotowe moduły (np. M5Stack Core2 + Audio wykorzystujące układy ESP32 lub podobne).
Zadania	1. Wybrać platformę sprzętową. 2. Uruchomić wyjście audio. 3. Zaprojektować i uruchomić część odbierającą dane z Wi-Fi i przesyłającą strumień audio na wyjście analogowe. 4. Zaprojektować i uruchomić interfejs użytkownika (konfiguracja Wi-Fi, sterowanie odtwarzaniem, opcje użytkownika). 5. Dostosować obsługę zasilania do potrzeb projektu. 6. Wykonać testy i pomiary opracowanego systemu.
Literatura	1. Don Wilcher, <i>M5Stack Electronic Blueprints: A practical approach for building interactive electronic controllers and IoT devices</i>, Packt Publishing, 2023. 2. Agus Kurniawan, <i>Internet of Things Projects with ESP32. Build exciting and powerful IoT projects using the all-new Espressif ESP32</i>, Packt Publishing, 2019. 3. J. Ganssle, <i>The Art of Designing Embedded Systems</i>, Elsevier, 2008.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Odbiornik i dekodery sygnału czasu PCSK225
Temat w języku angielskim	Receiver and decoder of time signal PCSK225
Opiekun pracy	dr inż. Maciej Kokot
Konsultant pracy	
Recenzent	
Cel pracy	Wykonanie odbiornika sygnału czasu nadawanego wraz z falą nośną 225 kHz I Programu Polskiego Radia.
Zadania	1. Zaprojektowanie i wykonanie części radiowej odbiornika PCSK225. 2. Zaprojektowanie i wykonanie części cyfrowej dekodera sygnału czasu. 3. Zaprojektowanie i wykonanie części odpowiedzialnej za wyświetlanie odebranych sygnałów - wyświetlacz LED czasu, itp. 4. Możliwość współpracy odbiornika z komputerem poprzez interfejs RS-232 lub USB.
Literatura	1. Główny Urząd Miar, Serwis e-czas radio: https://e-czas.gum.gov.pl/e-czas-radio/, [dostęp online 2026-01-07]. 2. Główny Urząd Miar, Opis przykładowego modułu odbiorczego: https://e-czas.gum.gov.pl/wp-content/uploads/2024/06/e-CzasPL-Opis-projektu-przykladowego-modulu-odbiorczego-e-Czas-Radio.docx-1.pdf, [dostęp online 2026-01-07]. 3. Skyworks, BROADCAST AM / FM / SW / LW RADIO RECEIVER, Si4730/31/34/35-D60: https://www.skyworksinc.com/-/media/SkyWorks/SL/documents/public/data-sheets/Si4730-31-34-35-D60.pdf, [dostęp online 2026-01-07]. 4. J. Sadowski, RECEIVER NETWORK FOR ASSESSING THE ACCURACY OF TIME DISTRIBUTION IN E-CZAS RADIO SERVICE, Metrol. Meas. Syst., Vol. 32 (2025) No. 4, pp. 117: https://journals.pan.pl/Content/137991/02_2k.pdf, [dostęp online 2026-01-07]. 5. Inne, do znalezienia przez Dyplomanta.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	Wymagana jest znajomość układów odbiorników radiowych, modulacji i demodulacji; mikrokontrolerów i procesorów sygnałowych.
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Opracowanie procedury ekstrakcji cech odpowiedzi dla różnych typów charakterystyk częstotliwościowych struktur wysokich częstotliwości
Temat w języku angielskim	Numerical procedure for extraction of response features for various types of frequency characteristics of high-frequency structures
Opiekun pracy	prof. dr hab. inż. Anna Pietrenko-Dąbrowska
Konsultant pracy	
Recenzent	
Cel pracy	Cechy odpowiedzi (ang. response features) to odpowiednio zdefiniowane punkty charakterystyczne odpowiedzi układu. W przypadku wielu układów wysokich częstotliwości zależność tych punktów od zmiennych projektowych jest słabo nieliniowa. Ma to szereg istotnych zalet przy rozwiązywaniu problemów optymalizacyjnych, m.in. przyspieszenie zbieżności algorytmów gradientowych czy realizację optymalizacji globalnej przy użyciu metod formalnie lokalnych. Jednakże definicja i ekstrakcja cech odpowiedzi są wysoce specyficzne dla danego rodzaju struktury. Celem pracy jest opracowanie procedury numerycznej działającej w środowisku MATLAB do efektywnej i niezawodnej ekstrakcji cech odpowiedzi różnych typów charakterystyk częstotliwościowych struktur antenowych i mikrofalowych.
Zadania	1. Opracowanie biblioteki rozważanych struktur wysokich częstotliwości (np. anteny szeroko- i wielopasmowe, transformatory, sprzęgacze. 2. Określenie zunifikowanej struktury danych przekazywanych do i z opracowanej procedury. 3. Opracowanie algorytmu do ekstrakcji cech odpowiedzi wybranych układów. 4. Testy numeryczne. 5. Opracowanie raportu z przeglądem uzyskanych wyników.
Literatura	1. A. Pietrenko-Dąbrowska, S. Koziel, Response Feature Technology for High-Frequency Electronics. Optimization, Modeling, and Design Automation, Springer, 2024. 2. C. A. Balanis, Antenna Theory, Analysis and Design, J. Wiley, 2016. 3. https://www.mathworks.com.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Projekt i implementacja cyfrowego systemu adaptacyjnego formowania wiązki w technologii FPGA
Temat w języku angielskim	Design and implementation of a digital system for adaptive beamforming in FPGA technology
Opiekun pracy	dr inż. Piotr Kurgan
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie i implementacja cyfrowego systemu adaptacyjnego formowania wiązki (ADBF) w technologii FPGA, umożliwiającego obliczanie i stosowanie zmiennych w czasie wag w oparciu o algorytmy adaptacyjne. System ma zapewnić efektywne wykorzystanie zasobów sprzętowych przy zachowaniu wysokiej jakości przetwarzania sygnałów w zastosowaniach takich jak wielokanałowe systemy radarowe SAR.
Zadania	1. Analiza algorytmów adaptacyjnego formowania wiązki (przegląd metod generowania wag oraz ich wpływu na złożoność sprzętową; wybór algorytmu optymalnego pod kątem implementacji w FPGA). 2. Projekt architektury systemu ADBF. 3. Implementacja systemu w technologii FPGA (realizacja modułów w wybranym języku HDL; optymalizacja obliczeń w celu minimalizacji zużycia zasobów). 4. Testy i weryfikacja działania. 5. Ocena wartości inżynierskiej rozwiązania.
Literatura	1. Braun T., Braun W., Satellite Communications Payload and System. John Wiley & Sons, 2021. 2. Harris F., Multirate Signal Processing for Communication Systems. Prentice Hall, 2004. 3. Woods R. i in., FPGA-based Implementation of Signal Processing Systems. Wiley 2017. 4. Zhang Q., Feng S., Fu L., Wen J., Ge J., Ma J., Design and Implementation of Adaptive Digital Beamforming Based on FPGA. 2023 4th China International SAR Symposium (CISS). ISBN 979-8-3503-0795-5.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Projekt oscylatora kwarcowego o częstotliwości 32 kHz i niskim użyciu energii w technologii CMOS X-FAB 180 nm
Temat w języku angielskim	Design of a low-power 32 kHz quartz-crystal oscillator in CMOS X-FAB 180 nm technology
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	W ramach pracy należy wykonać projekt schematu elektrycznego oraz topografii oscylatora na częstotliwość około 32 kHz z zewnętrznym rezonatorem kwarcowym. Generator powinien być zoptymalizowany pod kątem niskiego zużycia energii. Projekt należy wykonać w środowisku CAD Cadence z użyciem plików PDK X-FAB CMOS 180 nm.
Zadania	1. Przegląd literatury. 2. Zapoznanie się z technologią X-FAB CMOS 180 nm. 3. Zaproponowanie schematu elektrycznego oraz wykonanie symulacji elektrycznych. 4. Wykonanie projektu topografii układu oraz ekstrakcji i symulacji po ekstrakcji. 5. Generacja plików projektu do użycia jako blok IP.
Literatura	1. Brun M., Jacquemod G., Charlon Y., Gamet A., Le Fevre P.: <i>A Two-Stage Amplifier in a Low Power 32.768 kHz Quartz Crystal Oscillator</i>, 38th Conference on Design of Circuits and Integrated Systems (DCIS), Málaga, Spain, 2023, pp. 1-6, doi: 10.1109/DCIS58620.2023.10335971. 2. Chuanwu T., Tao G. J.: <i>The Design and Implementation of an Oscillator Chip with Negative Resistance</i>, International Conference on Intelligent Transportation, Big Data & Smart City (ICITBS), Xi'an, China, 2021, pp. 342-345, doi: 10.1109/ICITBS53129.2021.00091. 3. X-FAB: <i>Process Design Kit</i>, [online] dokumentacja objęta umową o zachowaniu poufności i udostępniana dyplomantowi po podjęciu tematu, [dostęp: 05.01.2026].
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Projekt szybkiego, energooszczędnego 6-bitowego przetwornika analogowo-cyfrowego typu flash w submikronowej technologii CMOS
Temat w języku angielskim	Design of a high-speed, low-power 6-bit flash analogue-to-digital converter in submicron CMOS technology
Opiekun pracy	dr hab. inż. Jacek Jakusz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie na podstawie literatury scalonego 6-bitowego przetwornika analogowo-cyfrowego typu flash w submikronowej technologii CMOS. Typowy przetwornik A/C równoległy typu flash zbudowany jest z komparatorów, dzielnika rezystorowego i cyfrowego konwertera kodu termometrycznego na kod binarny. Do realizacji projektu należy wykorzystać narzędzia Cadence.
Zadania	1. Zapoznanie się z realizacjami scalonymi CMOS i parametrami przetworników typu flash. 2. Opracowanie schematu elektrycznego przetwornika A/C. 3. Zaprojektowanie topografii przetwornika A/C. 4. Przeprowadzenie szczegółowej weryfikacji parametrów przetwornika po ekstrakcji elementów pasożytniczych z topografii. 5. Opracowanie uzyskanych wyników.
Literatura	1. P.E. Allen, D.R. Holberg, CMOS Analog Circuit Design, Oxford University Press, 2002. 2. D. Johns, K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., 2012. 3. B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Education, 2017. 4. N. Kalyani and M. Monica, "Design and analysis of high speed and low power 6-bit flash ADC," <i>2018 2nd International Conference on Inventive Systems and Control (ICISC)</i>, Coimbatore, India, 2018, pp. 742-747
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Projekt układu scalonego realizującego zegar 24-godzinny w technologii X-FAB 180 nm
Temat w języku angielskim	Design of an integrated circuit implementing a 24-hour clock in X-FAB 180 nm technology
Opiekun pracy	dr hab. inż. Bogdan Pankiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest zaprojektowanie pełnego układu scalonego zawierającego funkcjonalność zegara 24-godzinnego. Należy zastosować cyfrowy przebieg projektowania układu scalonego. Projekt powinien być zoptymalizowany pod kątem minimalnego zużycia powierzchni. Projekt należy wykonać w środowisku CAD Cadence z użyciem plików PDK X-FAB CMOS 180 nm.
Zadania	1. Rozpoznanie literaturowe. 2. Zapoznanie się z technologią X-FAB CMOS 180 nm. 3. Wykonanie opisu HDL projektu oraz symulacji funkcjonalnych. 4. Testy funkcjonalne na płytce prototypowej FPGA. 5. Wykonanie projektu topografii układu scalonego. 6. Wykonanie testów końcowych i przygotowanie plików GDSII.
Literatura	1. Gołda A., Kos A.: <i>Projektowanie układów scalonych CMOS</i>, WKiŁ 2011, ISBN: 978-83-206-1792-4. 2. Abbas K.: <i>Handbook of Digital CMOS Technology, Circuits, and Systems</i>, Springer Cham, 2020, doi.org/10.1007/978-3-030-37195-1. 3. X-FAB: <i>Process Design Kit</i>, [online] dokumentacja objęta umową o zachowaniu poufności i udostępniana dyplomantowi po podjęciu tematu, [dostęp: 05.01.2026].
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Przyspieszona optymalizacja gradientowa struktur antenowych z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości
Temat w języku angielskim	Accelerated gradient-based optimization of antenna structures with variable-fidelity models and sparse sensitivity updates
Opiekun pracy	prof. dr hab. inż. Anna Pietrenko-Dąbrowska
Konsultant pracy	
Recenzent	
Cel pracy	W projektowaniu współczesnych systemów antenowych wykorzystywane są pełnofalowe symulacje elektromagnetyczne: dokładne, ale kosztowne obliczeniowo. Koszt wielokrotnych analiz wymaganych przez procedury optymalizacji parametrów jest często praktycznie nieakceptowalny. Celem pracy jest przyspieszenie optymalizacji poprzez wykorzystanie modeli symulacyjnych o różnych stopniach dokładności oraz ograniczenie częstotliwości aktualizacji czułości przez selektywną aktualizację formułą Broydena.
Zadania	1. Zapoznanie się z algorytmem do lokalnej optymalizacji gradientowej 2. Opracowanie procedury optymalizacji z wykorzystaniem modeli wielopoziomowych i ograniczoną aktualizacją czułości 3. Testy numeryczne 4. Opracowanie raportu z przeglądem uzyskanych wyników
Literatura	1. A. Pietrenko-Dabrowska, S. Koziel, "Expedited gradient-based design closure of antennas using variable-resolution simulations and sparse sensitivity updates," IEEE Trans. Antennas Propag., vol. 70, no. 6, pp. 4925-4930, 2022. 2. J. Nocedal, S. J. Wright, Numerical optimization, Springer, 2001. 3. https://www.mathworks.com
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Sieć neuronowa wspierająca projektowanie oscylatorów pierścieniowych w technologiach CMOS
Temat w języku angielskim	Artificial neural network for the design of CMOS ring oscillators
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	mgr inż. Cezary Józefowicz, Synopsys
Recenzent	
Cel pracy	Celem pracy jest stworzenie sieci neuronowej wspomagającej proces projektowania oscylatorów pierścieniowych w dowolnej technologii CMOS. Stworzoną sieć neuronową należy wykorzystać do wykonania projektu oscylatora pierścieniowego o wybranych parametrach, a następnie otrzymany rezultat skonfrontować z wynikami symulacji wykorzystującymi model SPICE.
Zadania	1. Opracowanie modelu sieci neuronowej (preferowany MATLAB). 2. Opracowanie schematu oscylatora pierścieniowego oraz zestawu symulacji do pomiaru jego parametrów. 3. Przygotowanie danych treningowych dla sieci neuronowej przy użyciu symulacji SPICE. 4. Zaprojektowanie przykładowego oscylatora pierścieniowego przy użyciu stworzonej sieci neuronowej. 5. Wykonanie symulacji SPICE dla projektu. 6. Porównanie wyników symulacji i przewidywań modelu.
Literatura	1. B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, New York, 2001. 2. B. Gajendiran and V. H. Gaidhane, "Design of CMOS-Based Ring Oscillator for VCO Application Using Neural Network," 2023 International Conference on Modeling, Simulation & Intelligent Computing (MoSICom), Dubai, United Arab Emirates, 2023, pp. 378-382, doi: 10.1109/MoSICom59118.2023.10458832. 3. Neil H. E. Weste, D. M. Harris, "CMOS VLSI Design. A Circuits and Systems Perspective," Addison-Wesley, US, 2011.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Sieć neuronowa wspierająca projektowanie wzmacniaczy operacyjnych w technologiach CMOS
Temat w języku angielskim	Artificial neural network for the design of CMOS operational amplifiers
Opiekun pracy	dr hab. inż. Marek Wójcikowski
Konsultant pracy	mgr inż. Cezary Józefowicz
Recenzent	
Cel pracy	Celem pracy jest stworzenie sieci neuronowej wspomagającej proces projektowania wzmacniaczy operacyjnych w dowolnej technologii CMOS. Stworzoną sieć neuronową należy wykorzystać do wykonania projektu wzmacniacza operacyjnego o wybranych parametrach, a następnie otrzymany rezultat skonfrontować z wynikami symulacji wykorzystującymi model SPICE.
Zadania	1. Opracowanie modelu sieci neuronowej (preferowany MATLAB). 2. Opracowanie schematu wzmacniacza operacyjnego oraz zestawu symulacji do pomiaru jego parametrów. 3. Przygotowanie danych treningowych dla sieci neuronowej przy użyciu symulacji SPICE. 4. Zaprojektowanie przykładowego wzmacniacza operacyjnego przy użyciu stworzonej sieci neuronowej. 5. Wykonanie symulacji SPICE dla projektu. 6. Porównanie wyników symulacji i przewidywań modelu.
Literatura	1. B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw Hill, New York, 2001. 2. G. Yogesh and V. H. Gaidhane, "Design of Operational Amplifier using Artificial Neural Network," <i>2021 IEEE International IOT, Electronics and Mechatronics Conference (IEMTRONICS)</i>, Toronto, ON, Canada, 2021, pp. 1-6, doi: 10.1109/IEMTRONICS52119.2021.9422606. 3. Giuseppe Ciaburro, MATLAB for Machine Learning. Unlock the power of deep learning for swift and enhanced results - Second Edition, Packt Publishing, 2024.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Stabilizatory o małym spadku napięcia (LDO) w technologii CMOS
Temat w języku angielskim	Low Drop-Out (LDO) regulators in CMOS technology
Opiekun pracy	dr hab. inż. Grzegorz Blakiewicz
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest wykonanie przeglądu literaturowego na temat sposobów realizacji stabilizatorów o małym spadku napięcia (ang. Low Drop-out - LDO) w nowoczesnych technologiach CMOS.
Zadania	1. Zgromadzić literaturę w postaci publikacji naukowych i książkowych dotyczących stabilizatorów LDO realizowanych w technologii CMOS. 2. Przeprowadzić analizę wiedzy prezentowanej w literaturze ze szczególnym uwzględnieniem dwóch rodzajów stabilizatorów: analogowych i cyfrowych. 3. Omówić najważniejsze cechy i parametry stabilizatorów z podaniem metod pomiaru i symulacji. 4. Opracować zestawienie porównujące właściwości i parametry najważniejszych rodzajów stabilizatorów. 5. Podać i omówić najważniejsze procedury projektowania przykładowych rodzajów stabilizatorów.
Literatura	1. J. Torres, M. El-Nozahi, et al., Low Drop-Out Voltage Regulators: Capacitor-less Architecture Comparison, IEEE Cir. Sys. Magazine, 2014. 2. Jin-Gyu Kang, et al., Digital Low-Dropout Regulator With Voltage-Controlled Oscillator Based Control, IEEE Tran. Power Electr., 2022. 3. Junyoung Maeng, et al., A Sub-fs-FoM Digital LDO Using PMOS and NMOS Arrays With Fully Integrated 7.2-pF Total Capacitance, IEEE Solid State Circ., 2020.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	

Temat	Uniwersalne komórki analogowe w nisko skalowanej technologii CMOS
Temat w języku angielskim	Universal analogue cells in low-scale CMOS technology
Opiekun pracy	dr hab. inż. Waldemar Jendernalik
Konsultant pracy	
Recenzent	
Cel pracy	Celem pracy jest opracowanie zestawu różnych komórek analogowych takich jak: referencyjne źródło polaryzujące, wzmacniacz operacyjny, wzmacniacz o programowanym wzmocnieniu, filtr pasmowy, prostownik itp. Należy opracować schematy elektryczne, topografie i symbole komórek i zorganizować je w formie biblioteki zgodnej z formatem Cadence Virtuoso. Preferowana technologia: CMOS GPDK 45 nm.
Zadania	1. Opracowanie schematów komórek. 2. Wykonanie symulacji SPICE. 3. Opracowanie topografii komórek. 4. Wykonanie symulacji weryfikacyjnych. 5. Opracowanie biblioteki z dokumentacją.
Literatura	1. S. Soclof "Zastosowania analogowych układów scalonych," Wydawnictwa Komunikacji i Łączności, 1991. 2. H. Zumbahlen "Linear Circuit Design Handbook," Elsevier, 2008. 3. B. Razavi "Design of Analog CMOS Integrated Circuits," McGraw Hill, New York, 2001. 4. J. Hasler, P. R. Ayyappan, A. Ige, P. Mathews "A 130nm CMOS Programmable Analog Standard Cell Library," IEEE TCAS I, 2024, doi: 10.1109/TCSI.2024.3355070.
Proponowana liczba autorów	1
Informacje dodatkowe	
Komentarz	
Studia	Elektronika i telekomunikacja stacjonarne I stopnia - inżynierskie
Autorzy	